Family list

5 application(s) for: JP2000331477

SEMICONDUCTOR INTEGRATED CIRCUIT

Inventor: MATSUI YOSHINORI Applicant: NIPPON ELECTRIC CO

EC: G11C7/10P IPC: G06F12/08; G11C7/10; G11C11/401; (+16)

Publication info: JP2000331477 (A) — 2000-11-30 JP3358612 (B2) — 2002-12-24

SEMICONDUCTOR INTEGRATED CIRCUIT

Inventor: MATSULYOSHINORI Applicant: NIPPON ELECTRIC CO

EC: IPC: G11C11/417; G11C11/401; G11C11/407; (+15)

Publication info: JP2002184185 (A) — 2002-06-28 JP4002418 (B2) — 2007-10-31

3 Semiconductor integrated circuit device

Inventor: MATSUI YOSHINORI [JP] Applicant: NIPPON ELECTRIC CO [JP]

EC: G11C7/10P IPC: G06F12/08; G11C7/10; G11C11/401; (+10)

Publication info: US6343046 (B1) - 2002-01-29

4 Semiconductor integrated circuit device

Inventor: MATSUI YOSHINORI [JP] Applicant: NIPPON ELECTRIC CO [JP]

EC: G11C7/10P IPC: G11C7/10; G06F12/08; G11C7/10; (+2)

Publication info: US2002015349 (A1) -- 2002-02-07

US6535448 (B2) - 2003-03-18

5 Semiconductor integrated circuit device

Inventor: MATSUI YOSHINORI [JP] Applicant: NIPPON ELECTRIC CO [JP]

EC: G11C7/10P IPC: G11C7/10; G06F12/08; G11C7/10; (+3)

Publication info: US2002154564 (A1) — 2002-10-24

US6690615 (B2) - 2004-02-10

Data supplied from the esp@cenet database - Worldwide

Also published as:

JP3358612 (B2)

US6343046 (B1)

SEMICONDUCTOR INTEGRATED CIRCUIT

Publication number: JP2800331477 (A)

Publication date: 2000-11-30

Inventor(s): MATSUI YOSHINORI
Applicant(s): NIPPON FI FCTRIC CO

Classification:

~ international:

G06F12/08; G11C7/10; G11C11/401; G11C11/409; G11C11/41; G11C11/417; G06F12/08; G06F12/08; G11C7/10; G11C11/401;

G11C11/409; G11C11/41; G11C11/41; G06F12/08; G11C/1/10; G11C11/409; G11C11/41; G16F12/08; (IPC1-7); G11C11/401; G06F12/08; G11C11/409; G11C11/41;

7): G11C11/401; G06F12/08; G11C11/409; G11C11/41; G11C11/417

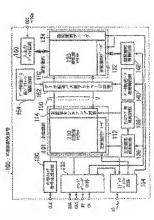
- European: G11C7/10P

Application number: JP20000023185 20000131

Priority number(s): JP20000023185 20000131; JP19990069309 19990315

Abstract of JP 2000331477 (A)

PROBLEM TO BE SOLVED: To provide a semiconductor integrated circuit capable of efficiently executing data transfer between a main memory part and a sub memory part operated at different operating voltages and also operating stably while efficiently suppressing noise produced internally, SOLUTION: A semiconductor integrated circuit, which has a main memory part 101 and a sub memory part 102 functioning as a cache memory and is constituted so that bidirectional data transfer is possible through a data transfer bus line 150 provided between the main memory part 101 and the sub memory part 102, is provided with a data transfer bus line pre-charge power source circuit 154 feeding voltage lower than the power source voltage fed to the main memory part 101 to the data transfer bus line 150 during non data transfer period.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(II)特許出繼公開新号 特開2000-331477

(P2000-331477A) (430/54866 ¥56224116366(2000.11.36)

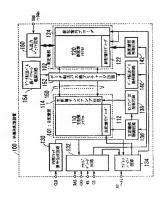
(51) Int.C1.	識別記号	FI					ý-	-72-}	(参考)
G11C 11/401		G11C 11/34			371	Z			
CO6F 12/08		G06F 12/08				3			
G11C 11/41		G11C 11/34				Z			
11/417					305				
11/409					354	R			
		審查	請求	fi	語求等	(の数14	OL	(4)	28EO
(21)出顧番号	\$\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\	(71)出願人	00000	0423	7				
			日本	電気	株式会	k§.			
(22) 出版日	平成12年1月31日(2000.1.31)		東京	都港	区芝丘	11174	11号		
		(72)発明者	松井	貕	徳				
(31) 優先権主張番号	特辦平11-69309		東京	常港	区芝东	11174	11号	日本年	自気株
(32) 優先日	平成11年3月15日(1999.3.15)		式会	HH					
(33) 優先権主張総	日本(JP)	(74)代理人	10010	3857	8				
			种理 :	1:	高縣 :	393	(9134	5)	
		1							

(54) 【発明の名称】半導体集積回路装置

(57) [988]

【線題】 異なる動作電圧で動作するよ記憶部と網記憶 部とのデータ転送を動車物に行うことができ、しかも内 部で発生するノイズを有効に抑えながら友定的に動作す ることができる半導体集積回路装置を提供する。

【解決手練】 主記憶部101とキャッシュスモリとして機能する潮流電部102と本有し、主記憶部106 の起制設能電との間に設けられたデータ転送へび終15 0を介して収分向のデータ転送が可能なように構成された半導体集積回路装置であって、非データ転送が底、主記憶部101に供給する電源電圧より現いレベルの電圧 をデータ転送バス線150に対して供給するデータ転送 バス線ブリナギージ電源回路154を顕える。



【特許.請求の範囲】

【請求項1】 主記徳部とキャッシュメモリとして機能 する規記徳部とを有し、前定主記憶部と前記解記憶部と の間に設けられたデータ転送バス線を介して双方向のデ ータ転送が可能なように構成された半導体集積四路装置 であって、

非データ転送時に、前記主記憶部に供給する電源電圧よ り低いレベルの電圧を前記データ転送バス線に対して供 総する電源手段を検鑽することを特徴とする半導体集積 回路装置。

【請求項2】 前記主記録郷に設けられたセンスアンプ 回路と

前記センスアンブ回路を制御するセンスアンブ部制御団 路とを備え、

前記センスアンブ部解神田路は、前記センスアンブ回路 と前記データ転送バス額を接続する接続四路に対し、前 起主記憶体から前記酬記憶部・データを転送する場合に は主記憶部電源レベルを供給し、前記帳記憶態から前記 主記憶部一次データを転送する場合には前記主記憶部電源 レベルを存在した主記憶部呼圧電源レベルを供給するこ とを持微とする請求項1記鑑の半導体集種即勝装履。

【請求項3】 前紀剛記憶部に設けられた複数のメモリ セルと。

商売納売機部を制御する納定機部制御回路とを備え 商売納売機部場無期間路は、前記メモリセルと前定デーク 本送バス線を接替する接続開路に対し、前記主法機能か ら転送されるデータを取り込む場合には前記主法機能報 ポレベルを昇圧した主記機部外圧電源レベルを根結し、 商記メモリセルシーラ前記主記機部・データを表達する場合 合には前売主記機部電源レベルを根給することを特徴と する結束項「又は請求項を記載の半導体集積制路投票。 「請求項4」 前記センスアンプ部制御回路は、前記前 記憶部からも設されるデータを取り込む場合には、前記 になってアンプ報路内に設けられたトランジスタを実導道 状態としてから取り込むことを特徴とする請求項2記載 の半導体集積的影弦階。

【請求項5】 前記網記憶部制御刊路は、前記主記憶部 から転送されるデータを取り込む場合には、前記メモリ セル内に設けられたトランジスタを非尊遜状態としてか ら取り込むことを特徴とする請求項3記載の半導体集務 回路装置。

【請求項6】 主記憶部と胡記憶部とを有し、前記主記 電部と前記問監修施との間に設けられたデータ転送バス 線を介して双方向のデータ転送が可能なように構成され た半導体集積率監修業でもって。

前記主記総部に設けられたセンスアンプ同路と、

前記センスアンプ海路を調飾するセンスアンプ※綱御司 路と.

前記センスアンプ回路と前記主記修部内の主記憶メモリ セルとを電気的に接続するスイッチ手段とを備え、 前記センスアンプ部制御中路は、前記主記徳部から湖記 塩部へ転送するデータを前記センスアンプ制路に取り込 ただ後に、前記マイッチ手段を制御して前記センスアン プ回路と前記主記憶部メモリセルとを電気的に絶縁し、 絶縁された状態で前記主記憶部から前記別記憶部へ前記 データを成済することを特徴とする半導体集種用路後 第.

【請求項7】 前記センスアンプ部制郵回路は、前記センスアンプ回路に取り込んだ前記データの均額と並行し

10 て、前途2イッチ手段を削削して前途センスアンプ中路 と前途主張機メモリセルとを電気的に絶縁し、前院セン スアンプ四路と前途主張機メモリセルとか電気的に絶縁 した状態で前記主張機都から前記期配整部ペデータの旅 送を開始させる転送開始命令が入力した場合に前起デー タを転送することを特徴とする請求項6記載の半導体集 機同級整置。

20 せる転送期始命令が入力した場合に前記センスアンプ间 路と前記主記憶メモリセルとを電気的に絶縁し、前記センスアンプ回路と前記主記憶メモリセルとか電気的に絶縁した状態で前記データを転送することを特徴とする請 東項6分響の半線体集積回路装置。

【請来項9】 前記主記帳部を活性化する動作開始命令 と前記主記憶能から前記期記憶部へデータの転送を開始 させる転送動作開始命令とは同一のタイミングで入力さ れることを特徴とする請求項6又は請求項7記載の半海 体集積的38.

0 【請求項10】 摘記センスアンプ部制御回路は、前記 転送終了時に前記スイッチ手段を制御してセンスアンプ 回路と前記主張程能メモリセルとを電気的に接続することを特徴とする請求項6乃至請求項9の何れかに記載の 半導体集積向路装置。

【請求項11】 前温期記鑑部は複数の制記憶メモリセル行に分割され、

前記センスアンブ部制練四路は、前記機数の樹記憶メモ リセル行に転送終了時に前記アイッチ手段を影響してセ ンスアンブ間路と前記主記憶部メモリセルとを電気的に 40 接続することを特徴とする請求項 1 危端の半導体集積

【請求項12】 主記憶部と測記憶部とを有し、商記主 記憶器と確定測記憶部との間に設けられたデータ転送バ 次のデータを記述が可能なように構成された半額体集機曲路多勝であって、

前記主記機能に設けられたセンスアンプ回路と、

網路裝置。

Mac 主記を得るというもい。センスアンプ部制領国 前記センスアンプ回路を制御するセンスアンプ部制領国 略とを備え、

前記センスアンプ回路は、前記データ伝送バス線1つに 50 対して複数設けられるセグメント構成であり、 前記センスアンブ総列師明智弘、前記データ転送ハス線 「つに対して1つの前記センスアンブ網察を電気的に接 続し、前記別記憶能から前記上記憶部へデーツを認を行 う前に、前記データ転送バス線と接続されないセンスア ンプ国記に対して指離動作を行わせることを特徴とする 半線体集都部参う器。

【請求曜13】 前記センスアンプ囲路は、パランスプリチャージ頭路を備え、

前記センスアンブ部半脚略路は、前記セグメント旬にパ DRAM部へのデークを設とDRAM部から SRAM部 ランスプリチャーシ半脚を割削する手段を育することを 10 へのデータ転送を開場に行うことができ、 結徴とせる誘致用 2 記載の半線体単縮回路波郎 フレート第のデータ転送 (コピーパック) を味くするこ

【請求項14】 前記センスアンプ回路は、補記センス アンプ回路と補配主証護部内の主証憶部メモリセルを電 気的に接続するスイッチ手段を構え、

前記センスアンプ部無難回路は、前記期記憶部から前記 主記憶路へデータ転送を行うに際し、前記センスアンブ 回路を前記主記憶部メモリセルから電気的に切り舞すこ とを特徴とする請求項13記載の半導体集積回路装置。 【発明の詳細な部則】

.

[0001]

【発明の属する技術分野】本発明は、半導体集積回路装 鑑に係り、特に同・半導体基較上に主記整部と認記機等 とか形成され、当該主記整部と制記機部との間にデータ 転送回路を育する半導体集積の路路器と間間する。

[0002]

【従来の技術】一般にコンピュータンステムに用いられ を主能権装置として比較的低速で安価な大容量の半導体 装置が用いられるが、たの要求に含致したものとして現 用DR Aがが多く使用されている。また、最近のコンピ エータンステムでは、システムの高速化(特にMP Uの 高速化)に対して主能性部を構成するDR A Mの高速化 もなさまれてはいるか、MP Uの高速化に対しては不十分 であり、MP Uと 主能性部と可能に高速 エモリを編定能 節として搭載したシステムが主流である。このような網 記憶等は一般にキャッシュメモリとよばれ、高速SRA MやECLR AM などが明いられている。

【0003】キャッシュメモリの実施形態としては、一 療にMPUの外部に設けられたものや、MPUに内蔵されたものがあるが、最近では、主能煙部を傾向するDR AMとキャッシュメモリとを同一半導体息板上に搭載し た半導体記憶装置が注目されている。この従来技術としては、特側町6アー20983時、特間間年60一769 の場、特側町6アー38590号、特間間平1-1461 ま7時などがある。これらの先行政所にかかる半導体配 燃養度は、DRAMとキャッシュメモリとを搭載することから、一部でキャッシュDRAMと呼ばれている。ま たCDRAMとも記述される。これらは、キャッシュメージ)として機能する5RAMと主張を含む、キャッシュメージ・コアースを対している。ま との間で、デークを双方向に転送可能な構成になっている。 【004】これらの左行技術には、キャッシュミスと
ット時のデータ転送の動作の選送などの問題があり、改
きした技術が撮察された。改会された竜米技術には、以
下のようなものがある。例えば特個年4-252486
が、特調学4-3183896、特欄学5-2872号
に係る技術は、DRAM能と5RAM語を10万分乗機能と割けているのが対象で、3RAM部から
DRAM部へのデータ転送を同時に行うことができ、キャッシュミスとット時のデータ転送(コピーバック)を達くすることを可能にしている。

【0005】 これらの技術を特帯平4-318389を 例にして設明する。 図17は、CDRAMのメモリアレ イ部の構成の一個を頻繁的に示す図である。 図17にお たて、半導体記憶装置は、ダイナミック型メモリセルを 含むDRAMアレイ9201と、スタティック型メモリ セルからなるSRAMアレイ9202と、このDRAM アレイ9201とSRAMアレイ9202との間でのデ 20 - タ転送を行うための双方向転送ゲート同路9203と

- ータも送を行うための水方向極級ゲート回路の203 を 会合む。またDR AMアレイ9201、SR AMアレイ 9202には、各々に対応したロウデコーダ(行デコー グ)とコラムデコーダ(列デコーダ)とが設けられてい 。 DR AMのロウデコーダ、コラムデコーダ、および SR AMのロウデコーダ、コラムデコーダに与えられる アドレスは、互いに独立なアドレスであり、それぞれ異 なるアドレスピン端子を介して与えられる構成となって しる。図18 まむ図は「9は、双方向転送ゲート回路9 203の詳細な機成を示す例である。この構成にれば
- ュータシステムでは、システムの高速化(特にMPUの 30 SBしからGI Gへのデータ転送と、GI Oから SBし 高速化)に対して主記憶部を構成するDRAMの高速化 もなされてはいるが、MPUの高速化に対しては不十分 つラッチの30 Sおよびアンプラ30 6の機能により、であり、MPUと 志記憶部との間に高速メモリを耐染地 郷として装載したシステムが主版である。このような顔 ることが可能となっている。

[0000]

【発明が解決しようとする課題】ところで、半導体集検 即路装置においては、パッケージ全体に関する生態とし 、一般的に低消費電力化及び動作の高速化が要求され る。一般的に、動作電圧を上昇させると動作の高速化は 達成することができるが、その結果として消費電力の上

達成することができるが、その結果として高熱電力の上 界を指く。逆に、低消散電力化を図るため動作電圧を低 く設定すると動作の高速化が創性となる。 【0007】上記した従来技術にかかるCDRAMで

(1000 / 1 上記して原来収納にかかっとしり水系では、低消費率分かを10 / R M の動作電圧は低く設定され、逆に刺走破影を立す D R A M の動作電圧は低く設定され、逆に刺走破影率なしキャッシュメモリとして機能する5 / R A M の要求に次えるため点、設定される。このように動作電力の要なる主意情部と刺走機能との間でデータ転送を行うためには関17 (エディ双方向転送ゲート回路が極めて50 東要となる、なぜならば、主発電解は過度が上が

【〇〇〇8】また、近年の半導体集積回数割は、前述したように動作の高速化が要求されているが、異なる動作 電圧の主定接続と原定機能である。 ではいまないた動作の高速化も建成できないことになる。 【〇〇〇9】本契則は、上記事情に進みてなされたもの あり、異なる動作電圧で動作する主記後部と海記憶部 とのデータ設定を効率的に行うことができ、しかも内部 で発生するノイズを有効に動えながら安定的に動作する ことができる半導体集積回路装置を提供することを目的 とする。

[0010]

【深題を解決するための手段】上紀深題を解決するため に、第1の発明は、主記憶部とキャッショメモリとして 機能する副記憶部とを有し、前記主記憶部と前記副記憶 郷との間に設けられたデータ転送パス線を介して双方面 のデータ転送が可能なように構成された半導体集精回路 装置であって、非データ転送時に、前記主記憶器に供給 する電源電圧より低いレベルの電圧を前紀データ転送バ ス線に対して供給する電源手段を具備することを特徴と する。また、本発明は、前記主記憶部に設けられたセン スアンプ回路と、前記センスアンプ回路を剥削するセン スアンプ部制御回路とを備え、前記センスアンプ部制御 開路は、前記センスアンプ開路と前記データ転送バス線 を接続する接続回路に対し、前記主記憶器から前記録記 協能へデータを転送する場合には主記憶部報源レベルを 供給し、前記測記修部から前記主記憶部へデータを転送 する場合には納記主記憶部電源レベルを料圧した主記憶 部昇圧電源レベルを供給することを特徴とする。また、 本等側は、前沿海岸機器に飛行られた複数のメモリセル と、前定制記憶部を制御する制記憶部制御用路とを輸 え、前部副計儀部署御副器は、曲記メモリセルと締記デ 一タ転送バス線を接続する接続回路に対し、前記主記線 部から転送されるデータを取り込む場合には論記主記憶 部電源レベルを昇圧した主記憶部昇圧電源レベルを供給 し、前記メモリセルから前記主記機器へデータを転送す る場合には前記主記憶部電源レベルを供給することを特 微とする。また、木発明は、前記センスアンプ部制御回 路が、前記制記憶部から転送されるデータを取り込む場 含には、前記センスアンプ回路内に設けられたトランジ スタを非導道状態としてから取り込むことが好ましい。

また、本発明は、前記線記憶群線御回路が、前記主記憶 部から転送されるデータを取り込む場合には、前記メモ リセル内に設けられたトランジスタを非導通状態として から取り込むことが好ましい。また、第2の発明は主記 惰部と副記憶部とを存し、前記主記輸部と前記部記憶部 との題に激けられたデータ転送バス線を介して双方向の データ転送が可能なように構成された半線体集局回路装 置であって、前記主記憶部に設けられたセンスアンプ回 路と、前記センスアンプ国路を制御するセンスアンブ部 10 制御回路と、前記センスアンプ回路と前記主記憶部内の 主記憶メモリセルとを電気的に接続するスイッチ手段と を備え、前記センスアンプ都網鎖回路は、前記主記憶部 から湖辺橋部へ転送するデータを前記センスアンプ回路 に取り込んだ後に、前記スイッチ手段を制御して前記セ ンスアンプ回路と前記主記憶部メモリセルとを電気的に 絶縁し、絶縁された状態で前記主記憶部から前記湖記憶 部へ前記データを転送することを特徴とする。また、第 2の発明の前記センスアンプ部制御回路は、前記センス アンプ回路に取り込んた前記データの増幅と並行して、 20 前記スイッチ手段を制御して前記センスアンプ回路と前 記主記憶メモリセルとを電気的に絶縁し、前記センスア ンプ回路と前紀主紀憶メモリセルとが電気的に絶縁した 状態で油温主起機能から前が副部位施へデータの転送を 開始させる転送開始命令が入力した場合に前記データを 転送することを特徴とする。また、第2の発明の倫記セ ンスアンプ部制御回路は、前記センスアンプ回路に取り 込んだ前記データの増額を行い、前記主記憶部から前記 御湯蟾郷ヘデータの転送を開始させる転送開始命令が入 力した場合に前記センスアンプ回路と前記主記憶メモリ 30 セルとを雷気的に絶縁し、前記センスアンブ開路と前記 主記憶メモリセルとが電気的に絶縁した状態で前紀デー タを転送することを特徴とする。また、第2の発明にお いて、前記主記憶部を活性化する動作開始命令と前記主 影懐部から前紀副記憶部ヘデータの転送を開始させる転 送動作開始命令とは同一のタイミングで入力されること を特徴とする。また、第2の発明の前記センスアンプ部 制御詞路は、前記転送終了時に前記スイッチ手段を制御 してセンスアンプ同路と前記主記憶部メモリセルとを電 気的に接続することを特徴とする。また、第2の発明の 40 前記網記憶部は複数の網記憶メモリセル行に分割され、 前記センスアンプ部制御国路は、前記複数の譲帰億メモ リセル行に転送終了時に前がスイッチ手段を制御してセ ンスアンプ回路と論記主記憶部メモリセルとを常気的に 接続することを特徴とする。また、第3の発明は、主記 物部と確認機器とを有し、前記主記物部と前記詞記憶部 との際に影けられたデータ転送バス線を介して異方面の データ転送が可能なように構成された半導体集前回路装 置であって、前記主記憶部に設けられたセンスアンプ回 路と、確認センスアンプ回路を制御するセンスアンプ部

50 網砂回路とを備え、前紀センスアンプ回路は、前紀デー

タ転送パス線1つに対して複数設けられるセグメント機 成であり、前記センスアンプ部制御回路は、前記テータ 転送バス線1つに対して1つの前記センスアンプ回路を 置気的に縁続し、前記線時機部から前記す記憶部へデー タ転送を行う前に、前記データ転送パス線と接続された いセンスアンプ回路に対して増幅動作を行わせることを 特徴とする。また、第3の発明の確認センスアンプ回路 は、バランスプリチャージ回路を備え、前記センスアン プ部網額回路は、前記セグメント毎にバランスプリチャ ーシ回路を制御する手段を育することを特徴とする。ま 10 た。第3の発明の節部センスアンプ回路は、縮部センス アンプ同路と前記主記憶部内の主記憶部メモリセルを電 気的に接続するスイッチ手段を構え、前記センスアンプ 部制御回路は、前記剛記憶部から前記主記憶部へデータ 転送を行うに際し、前記センスアンプ回路を前記主記憶 縮メモリセルから電気的に切り離すことを特徴とする。 [0011]

【発明の実施の形態】以下、図面を参照して本発明の実 施形態による半導体集積回路装置について詳細に説明す

- 〈第1字齒形據〉
- (1) 基本機成

以下に水登明の第1事施形態の基本構成について凝明す る。本弁明による半導体集積回路装置は、半導体記憶装 置とその半導体記憶装置の無御装置とを含む。半導体記 協議機は主記機部と創記機部を育し、主記機部と副記機 部で双方向のデータ転送が可能なように構成されてい る。また測記機能は、複数の記憶セル群から構成されて おり、副記憶部のそれぞれの記憶セル群はそれぞれ独立 したキャッシュとして機能する事が可能となっている。 また本発明による半身体記憶装置では、コントロール端 子やアドレス端子の数は、主記憶部を無難するのに必要 な数と同じ数で実現する事も可能である。

【0012】以下、主に主記憶郷として64Mピットの DRAMアレイを有し、網記輸部として16Kビットの 5 R A M アレイを有した×8 ピットの2 パンク構成のシ ンクロナスインターフェイスを持つ半導体影缆装置につ いての実施例を中心に説明する。ただし、本発明はこの 構成に限定されるものではない。

【0013】(2)プロック図

図1は、本発明の第1実施形態による半導体影験装置の 全体の構成を網絡的に示すプロック図である。図上にお いて、半郷体記憶装置100は、主記憶部101、副記 資源102、主記憶部101と認配援第102とを育す。

【0014】主記憶部101は 行及び別からなるマト リックス状に範囲された複数のダイナミック期メモリヤ ルを備える主記憶メモリセル110と、後述するアドレ スパッファ飼路134から出力される主記憶部アドレス

を受けて主記憶メモリセル110の対応行を選択する主 記憶行デコーダ主記憶行デコーダ112と、選択された 主記憶メモリセルに保持されたデータを検知し増傷する センスアンプ114を備える。また、物派は省略してい るが、主記憶メモリセル110は、パンケと呼ばれる額 数のプロックに分類されており、網えば2つのバンクA およびパンクBに分割され、主張憶無額御問路136か ち出力される制御信号によってバンクAまたはバンクB が選択される。

【0015】測記憶部102は、行及び別からなるマト リックス状に配列された複数のスタティック型メモリセ ルを構える副記憶メモリセル120と、後述する副記憶 部制御回路142から出力される湖原修行選択信号とア ドレスパッファ回路134から出力される測記憶部アド レス信号を受けて分割された副記憶メモリセル群(本実 施形態では行類に分類されたセル群) の選択を行う副記 億行デコーダ122と、アドレスバッファ回路134か ら出力される副記憶部アドレス信号から副記憶列選択信 号を発生し、当該測量機列選択信号により列選択を行う 20 無路接列デコーダ124を有する。

【0016】130は、外部から供給されるクロック(LKに基づいて半線体記憶装置100内で用いられる内 部クロックを発生する内部クロック付得生成回路であ り、発生した内部クロックはコマンドデコーダ回路13 2及びアドレスパッファ網路134へ出力される。 コマ ンドデコーダ回路132は、入力されるチップセレクト 借号C5、外郷入力信号であるRAS信号。CAS信 号、WE信号に基づいて半導体記憶装置10内部で必要 な制御信号にデコードし、デコードした制御信号はアド 30 レスパッファ回路134、後述する主記憶部制御回路1 36、データ転送パス線制御回路140、御記憶部制御 同路142へそれぞれ出力する。

【0017】アドレスパッファ網路134は入力される アドレス信号AO~Ai(iはO以上の参数)及びコマ ンドデコーダ回路132から出力される制御信号に基づ いて、主記憶部101でアドレスを指定するための主記 **憶部アドレス信号と測記憶部102でアドレスを指定す** るための観記憶部アドレス信号とを生成する。主記憶部 緑篠緑路136はコマンドデコーダ网路132から出力 40 される網額信号に基づいて主記憶行デコーダー12へ行 を選択するための制御信号を出力するとともに上述した。 バンクを選択する鍵御信号を出力する。更に、センスア ンプ部138の動作を制御する制御信号を出力する。セ ンスアンプ部制御回路138は主記憶部制御回路136 から出力される制御信号に基づいて主記像センスアンプ 60路114を制御する。

【0018】データ転送パス線網網回路140は、主部 **総部101内に設けられた主記憶センスアンプ同路1**1 4と線影機メモリセル120との間を接続するデータを 信号と主記憶部解解的路136から出力される劉總信号 50 天パス線160上に設けられたデータ転送パス線プリチ

ャージ回路152の動作を制御する。データ転送バス線 プリチャージ回路152にはデータ転送パス線プリチャ ジ電源回路154から電源が供給されている。副記憶 部制御削務142はコマンドデコーダ開路132から出 力される刺伽信号を受け、認識権メモリセル120の行 選択信号を発生して報記憶メモリセル120の動作を制 御するとともに、外部とのデータ接受を行うために設け られた入出力バッファ160との間で行われるデータ授 受の制御を行う。

【0019】なお、本実施形態では、主記憶部101に は例えばDRAMを用い、創記憶部102には例えばS RAMを用いた場合について説明するが、本発明はこれ に制限されるものではない。主記憶部には、DRAMの **施にSRAM、マスクROM、PROM、EPROM、** E EPROM、プラッシュEEPROM、強誘電体メモ りなど他のメモリを用いてもよい、主記憶部を構成する メモリは、その種類や特有の機能を有効に使用できるよ うに構成することが想ましい。例えば、主記憶部にDR AMを用いる場合については、汎用DRAM、EDOD RAM、シンクロナスDRAM、シンクロナスGRA M、パーストEDODRAM、DDRシンクロナスDR AM, DDRシンクロナスGRAM, SLDRAM, R ambusDRAMなどを適宜使用する。また、網お憶 部には主記機部に用いたメモリよりも高速アクセス可能 なランダムアクセスメモリであれば他のメモリを用いて もよい。主記憶部をフラッシュEEPROMで構成する 場合には、副記憶部のメモリ容量はフラッシュEEPR OMの一つの消光セクター単位の容器の1/2以上で機 成されるのが弱変しい。

【0020】(3) モデル図

次に、主記憶メモリセル110と測記憶メモリセル12 0との間で行われるデータ転送について説明する。 図2 は、関1中の主記憶メモリセル110と副記憶メモリセ ル120との第1実施形態による接続関係を網絡化して 示した例である。高、図2は本実飾形態の理解を容易に するための綴であり、主記憶部101のセンスアンプ回 路と網記憶部102のメモリセル列とを一封一に対応さ せて記載しているか、本発理は図2に示した構成に限定 される訳ではなく、例えば主記物部101の議論する2 台のセンスアンプ開発に対して1つの測記憶部メモリセ 40 ル剣が対応している構成(複数セグメント)であっても

【0021】図2において、110は主記憶メモリセル であり、ディジット線対170と主記憶行デコーダに接 送されたワード線172とが複数交差して配置されてお り、その交点にはメモリセル173が形成されている。 ディジット線対170は主記修センスアンプ国路114 内のセンスアンプ回路174に接続されている。センス アンプ飼路174は主記線メモリセル110内のディジ ット締約170の数だけ設けられている。図1に示した 50 ス級プリチャージ電源回路154の内部構成を示す図で

ように、主記総センスアンプ網路114と期記憶メモリ セル120とはデータ転送パス線150によって接続さ れているが、このデータ転送バス線150はセンスアン プ回路174に対応して設けられたデータ転送パス絶対 176がセンスアンプ回路174の数だけ照けられてい

【0022】データ転送パス線プリチャージ開路152 内には各データ転送パス線対176に対応してプリチャ ージ組絡152が設けられている。このプリチャージ回 10 路178もデータ転送バス線対176の数だけ設けられ

ている。湖記憶メモリセル120は、図2に示したよう に、複数の翻記憶メモリセル行180からなり、各々の 脚紀倫ヌモリセル行180にはデータ続送パス線対17 6に対応してメモリセル182が設けられている。海、 上述したように、図2はあくまでも本実施形像の理解を 容易にするために簡略化して記載した例であることに留 差すべきである。

【0023】次に、図1又は図2に示したデータ転パス 線プリチャージ電源回路154、データ転送パス線プリ 20 チャージ回路152、主記憶センスアンプ回路114、

及び網記憶メモリセル行180の内部構成について詳細 に説明する。

「データ転送パス線プリチャージ回路152)次に、デ ータ転送パス線プリチャージ網路152の内部構成につ いて説明する。図3は、データ転送バス線プリチャージ 回路 1 5 2 の内部構成を示す図であり、図 1 又は図 2 に 示した部材と同一の部材については同一の符号が付して ある。鰯3に示したように、データ転送パス線プリチャ ージ回路152はデータ転送パス線対176の数たけブ 30 サチャージ回路178がおけられている。プリチャージ

回路178はNチャネル型MOSトランジスタ(以下N MOSトランジスタと称する) 200aのデータ転送バ ス線対176の一方に接続し、NMOSトランジスタ2 00aのとNMOSトランジスタ200bとを接続し、 NMOSトランジスク200bをデータ転送バス線対1 76の他方に接続し、逆に、NMOSトランジスタ20 Ocをデータ転送パス線対176の間に接続し、NMO Sトランジスタ200a, 200b, 200cのゲート を買いに接続した機成となっている。

[0024] また、NMOSトランジスタ200a、2 00bとの接続点にはデータ転送パス線プリチャージ電 瀬回路 15 4に接続されたデータ転送パス線プリチャー ジ線192が接続されている。また、NMOSトランジ スタ200a, 200b, 200cのゲートの接続点に はデータ仮送バス線制御回路 1 4 0 に接続されたデータ 転送パス無線信号繰上りりが締結されている。

【0025】「データ転送パス線プリチャージ電源回路 154)次に、データ転バス線プリチャージ電源回路1 5.4の内部構成について影響する。図4は、データ転バ

ある。関4に示されたように、データ転パス線プリチャ ージ電源回路154は、オペアンプ196とPチャネル 型MOSトランジスタ(以下PMOSトランジスタと称 する) 198からなる。オペアンプ196の貧入力端子 にはデータ転送パス線プリチャージ線192の電圧を提 定する基準衛圧となるデータ転送パス線レベル基準電位 が入力され、オペアンプ196の出力機はPMOSトラ ンジスタ198のゲートが接続されている。また、PM O5トランジスタ198には外部電源線が接続され、残 ともにデータ転送パス線プリチャージ線192が接続さ わている。

【0026】(主記憶センスアンブ回路114) 関5 は、主記憶センスアンプ回路114の構成等を示す図で あり、関1又は図2に示された郷材と同一部材について は同一の符号を付してある。図5に示されたように、各 ディジット線対170にはディジット線パランスプリチ ャージ回路200が設けられている。これらディジット 徽パランスプリチャージ回路200とセンスアンプ部制 御師路138とはディジット線バランスプリチャージ標 20 単分の縮が用いられる。 号線202によって接続されている。

【0027】また、各センスアンプ回路174はブリッ プフロップ回路が設けられている。このフリップフロッ プ回路はPMOSトランジスタ210、212及びNM 05トランジスタ214、216で構成される また、ディジット線対170とデータ転送バス線対17 6とを接続する接続回路は、NMOSトランジスタ21 8、220によって構成される。ディジット線対170 各々に設けられたNMOSトランジスタ222、224 はセンスアンブ同路174をディジット総対から切り締 30 すために設けられるスイッチ用のトランジスタである。 【0028】センスアンプ部制御回路138には、上記 ディジット線バランスプリチャージ信号線202が接続 されている他、ディジット綴トランスファースイッチ信 号線206、センスアンブ部転送スイッチ信号線20 4、センスアンプコントロール線208、センスアンプ コントロール線210が接続されている。上記ディジッ ト線パランスプリチャージ信号線202は、ディジット 綴パランスプリチャージ回路200におけるプリチャー 138からディジット線パランスプリチャージ网絡20 0へ伝達するものであり、ディジット線トランスファー スイッチ信号線206は、センスアンプ回路174をデ イジット線対から切り難すか又は接続するかを網翻する 調節信号をNMOSトランジスタ222、224へ伝達 するためのものである。

【0029】また、センスアンプ部転送スイッチ信号線 204は、センスアンプ回路174に取り込まれ、セン スアンプ内接責付217によってセンスアンプされた信 - 号をデータ転送パス線対176に出力するか否か、又は 50 新御回路138からセンスアンプ部転送スイッチ信号線

データ転送パス線対176を介して転送される信号をア ンプ回路174内部に取り込むか否かを制御する制御信 号を伝達するものである。

【0020】本実施影線における半線体集輸回路集響 は、データ転送に関し、一度のデータ転送で1024ビ ットの単位で行われる。この場合、低消費能力を図るた めに信号のレベルを抑え、主記機部101に供給される 電源電圧の10%以下程度としている。このように、信 号のレベルが低いため、例えば閉2に示すセンスアンプ りの端子はオペアンプ196の正入力端に接続されると 10 細路174に信号を取り込む際、データバス転送バス線 の初期電位を主記憶部101の電源電圧とすると、セン スアンプ部制御厨路138からセンスアンプ部転送スイ ッチ信号線204を介してNMOSトランジスタ21 8、220によって構成される接続回路へ供給されるセ ンスアンプ部転送スイッチ信号のレベルはより高い選圧 に設定する必要がある。従って、昇圧レベルを緩和する ために、データ転送パス線対176の非転送時のプリチ ャージレベルを主記憶部の電源電圧以下の中間電位とし ている。中間衛位としては例えば主記憶部の電源電圧の

> 【0031】また、この中間電位は図4に示したデータ 転送パス線プリチャージ電源网路154ヘデータ転送パ ス線レベル基準滑位を与えることによって生成されてお り、独立した電源から上記中間電位が生成されるので、 他の回路案子の動作による電源電圧の変動練育がデータ 転送パス線対176に影響を及ぼさないようにしてい \$

【0032】また、センスアンプコントロール線208 は、PMOSトランジスタ210.212からなるフリ ップフロップの増報率を制御する制御信号を伝達するも のであり、センスアンプコントロール線210は、NM OSトランジスタ214、216からなるフリップフロ ップの増編率を制御する制御信号を伝達するものであ

【0033】次に、センスアンプ部制御回路 138の内 部構成の一部について説明する。図6は、センスアンプ 部制錐四路138内に設けられたセンスアンプ部転送ス イッチ信号生成興路230の構成を示す図である。この センスアンプ部旋送スイッチ供料生成回路230は、セ ジレベルを開始する制御供料をセンスアンプ部無額同路 40 ンスアンブ同略174に取り込まれ、センスアンプ内様 点対2.1.7によってセンスアンプされた信号をデータ転 送バス線質176に出力するか香か、又はデータ転送パ ス線対176を介して転送される信号をセンスアンプ回 路174内部に取り込むか否かを制御する制御信号を生 成するとともに、センスアンプ回路174へ供給する電 源を製器するものである。

> 【0034】データ転送パス線対176の短期電位を上 記のような中間電位としても、センスアンプ回路174 内に信号を取り込む場合。図5に至したセンスアンプ部

204を介してNMOSトランジスタ218, 220に よって構成される接続網路へ供給されるセンスアンプ部 転送スイッチ信号は主記憶部101の電源選圧に対して 採用した主却線部異圧電源を与える必要がある。

【0035】一方。センスアンプ同路174からメモリ セル182にデータを転送する場合にセンスアンプ部転 送スイッチ信号として主記機部昇圧電源を与えるとデー タ転送パス線対176の方がセンスアンプ洞路174内 のハイ伽接点レベルより設定しているためデータ転送パ ス級対176のレベルに引かれてセンスアンプ回路17 4内のハイ銅袋点レベルが低下し、センスアンプ回路2 7.4からデータ転送バス線対17.6へのデータ転送能力 が低下してしまう。

【0036】図6に示したセンスアンプ部転送スイッチ 信号生成回路230は、上記の問題点を解消するために センスアンプ回路174内に信号を取り込む場合と、セ ンスアンプ製器274からメモリセル182ヘデータを 転送する場合とで、センスアンプ部制御網路138から センスアンプ部転送スイッチ信号線204を介してNM OSトランジスタ218,220によって構成される接 20 続回路へ供給されるセンスアンプ部転送スイッチ信号を 主影憤慨101の容潔として用いられる主影憤郁密顕と するか又は主記機部は圧散源とするかを制御する何路で ある。

【0037】図6を参照すると、センスアンプ巡転送ス イッチ倍号生成回路230にはセンスアンプ部転送コン トロール信号とセンスアンプ部転送タイミング信号とが 供給されている。センスアンプ部転送コントロール信号 は主としてセンスアンプ部転送スイッチ信号を主記憶部 信号であり、センスアンプ部転送タイミンダ信号は、転 送のタイミングを制御する信号である。これらの信号は センスアンプ部制御回路138内で生成されるものであ

【0038】センスアンブ部転送コントロール信号によ ってフリップフロップ232の出力又はフリップフロッ プ234の出力をハイレベルとする。フリップフロップ 232の出力には主記憶郵昇圧電源が供給されているP MOSトランジスタ236が接続され、プリッププロッ ブ234の出力には主記機能震源が供給されているNM 40 O5トランジスタ238が検続されており、PMOSト ランジスタ236とNMOSトランジスタ238の出力 はセンスアンプ部転送スイッチ信号線204に接続され TU3.

【0039】また、センスアンプ部転送タイミング信号 はインバータ及びパッファ同路を介してNMOSトラン ジスタ240のペースに供給される。このNMOSトラ ンシスタ240ほセンスアンプ部転送スイッチ信号線2 0.4へ接続されているとともに接地されている。つま り、NMOSトランジスタ240はセンスアンブ部転送 50 の一部について説明する。図8は、副記憶部制御目路1

タイミング信号に基づいて、センスアンブ部転送スイッ チ信号線204を活性としたり非活性とする。センスア ンプ部転送スイッチ信号線204が非活性の場合にはN MOSトランジスタ218、220によって継渡される 接続回路は断状態となるのでデータ転送は行われない。 【0040】 「謝記簿メモリセル行1801 図7は、副 記憶メモリセル行180の内部構造等を示す図であり、 図1又は図2に示された部材と同一部材については同一 の符号を付してある。関7に示されたように、勘記像メ

10 モリセル行180は複数のメモリセル182を育する。 各々のメモリセル182はプリッププロップ同路が設け られている。このフリップフロップ回路はPMOSトラ ンジスタ256、258及びNMO5トランジスタ26 0,232で構成される

【0041】また、データ転送パス線対176からの億 母の歌り込み及びデータ転送パス線對1.7.6への信号の 送出を行う接続回路は、NMOSトランジスタ264 a、264bによって構成される。また、フリップフロ ップ回路及び接続回路と並列にリードライト用スイッチ 廻路266が接続されている。このリードライト用スイ ッチ回路266はフリップフロップ回路に保持されたデ 一夕を入出力線対270に出力したり、データ入出力線 対270上に遅れたデータをフリップフロップ回路に取 り込むための网路である。このリードライト用スイッチ 網路266には劇影簡頻選択線274とリードライト用 顕記憶行選択線272が接続され、これらの線を介して 入力される制御信仰に基づして上部のデータ入出力制御 Ser. 3.

【0042】各メモリセル182はデータ転送用線記憶 衛瀬とするか又は主命傾尾翼圧電源とするかを御継する 30 行選択線250、網を憶メモリセル行コントロール線2 52、及び謝記憶メモリセル行コントロール線254に よって線影懐部制御網路142と接続されている。上記 データ転送用測記憶行選択線250は、フリップフロッ プ飼器に保持された信号をデータ転送バス線対176へ 出力するか否か、又はデータ転送バス線対176を介し て転送されてきた信号をフリップフロップ回路内部に取 り込むか否かを制御する制御信号を伝達するものであ

> 【0043】 副記憶メモリセル行コントロール総252 は、フリップフロップ回路において記憶内容の保持、消 去等を制御する制御信号を確認機部制御回答142か 5. PMOSトランジスタ256, 258からなるフリ ップフロップへ伝達するものである、また、湖記領メモ リセル行コントロール線254は、フリップフロップ回 路において記憶内容の保特、消去等を制御する制御信号 を確認機能制御局路142から NMOSトランジスタ 260.262からなるフリップフロップへ伝達するも のである。

【0044】次に、測記憶部制御回路142の内部構成

4 2内に設けられたデータ転送用制配送線行連形級生 域的 第280の構成を示す階である。このデータ転送用網配 電行選択線主返回路280は、PMOSトランジスタ2 56、258 板のRMOSトランジスタ260、262 からなるフリップフロップ四路に保持された信号をデータ転送いス線対176へ出力するか否か、又はデータ転送れて線対176へ出力するか否か、又はデータ転送れて線対176を介して転送されてきた信号をメモリ 説182内に取り込むが否かを制御するとともにメモリ とルト82 へ保轄する報源を解するものである。

【0045】 潮記憶部 102は適常主記後第101より も高速に動作させる必要かあるために主記墜部101に 保給される電源電圧、つまり主記墜部電源電圧よりも高 い電圧を供給しているため時記憶メモリセル120から 主記憶部101のセンスアンプ間終174にデータを転 送する場合、データ転送用場を行避収壊250上に主 記憶部昇圧電路のレベルを与えるとデータ転送パス線対 1750電圧レベルが主記憶部電影のレベルより高い電 圧に充電されてしまうまそれがある。

10046] 図8に示したデータ転送用開記機行選択線 生成同路280は、上途の問題点を解消するために線形 緩火モリセル120から主定総部101のセンスアンプ 同路174にデータを転送する場合と、主定機部101 のセンスアンプ回路174から線記機メモリセル120 にデータを取り込む場合とて、適配短郷部時間2142 からデータを放送市場配機有送取線250を介してNMO Sトランジスタ264。264bによって構成される 接続関路が、供給されるデータ返貨削縮に関す環境侵勢 主記機解101の電源として用いられる主記機需電源と するか又は主記機部昇圧電源とするかを制御する回路で ある。

【0047】図8を参照すると、データ転送用線定機算 選択線生成網路280には線記機能率送コントロール信 号、網記機行アドレス信号、及び側記憶部解送タイミン グ信号が収給されている。網記機部転送コントロール信 号は主としてデータ転送用線記機行選択信号を主記機節 審派とするか又は主記機等列圧電源とするかを頻節する 信号であり、網記機行アドレス信号及び無距機節転送タ イミング信号は、転送のタイミングを制御する信号であ る。これらの信号は卵記機部制鋼網路142内で生成さ れるものである。

【9048】 制起機部転送コントロール信号によってフリップフロップ282の出力又はフリップフロップ282の出力又はフリップフロップ282の出力には主記標部呼圧電源が単給されているPMOSトランジスタ286が接続され、フリップフロップ284の出力によ主記憶部離影が開始されているPMOSトランジスタ286とNMOSトランジスタ286とNMOSトランジスタ286とNMOSトランジスタ286とNMOSトランジスタ286とNMOSトランジスタ286とNMOSトランジスタ286とNMOSトランジスタ2860出力はデーを振沙用施設権で採出機会2016を終されている。

【0049】また、副記憶行アドレス信号と副記憶部転 50 ベルV1に設定し、NMOSトランジスク218.22

送タイミング信号とのNAND流算を行った信号はパッファ削器を介してNMOSトランジスタ29ののベース に供給される。このNMOSトランジスタ29のはデータ転送用脚記憶行選択線25のに接続されているととも に接地されている。つまり、NMOSトランシスタ29 のは土室NAND流算が行われた信号によづいて、データ転送用脚記憶行選択線250を活性としたり非活性と する。データ転送用脚記憶行選択線250か用活性の場合にはNMOSトランジスタ264a。264bによっ 10 で開設される接続中部な排氷敷となるのでデータ転送は 10 で開設される接続中部な排氷敷となるのでデータ転送れ

行われない。 【0050】(4)動作

次に、上記構成における本発明の第1実施形態による半 尋体集積回路装置の動作について説明する。

選する場合、データ本記知解記報行選択線250上に主 (主記機部101から原記機部1012へのデータ転送) 76の電圧レベルが主記機部部第20レベルより高い電 176の電圧レベルが主記機部部第30レベルより高い電 16046月 1818に示したデータ転送用限定接行選択線 生災何額280は、上記の問題組度を解消するために網220 選メモリセル120から主記機部101のセンスアンプ セイにデータを転送する場合と、主記機部101 01のセンスアンプ セイにデータを転送する場合と、主記機部101 01 02 センスアンプ 192617 4 にデータを転送する場合と、主記機部101 01 02 してそれぞれ表していると 2 とび接地レベルを 2 とびません 2 とび接地レベルを 2 とびません 2 とび接地レベルを 2 とびません 2 とびません

【0051】 図9では、図1・図7に示された名信号線 上を伝わる信号を図示している。まず、アクティフコマンド(ACT)がコマンドデコーダ132に入力された とすると、センスアンブ部判測回路138がディジット 線パランスプリテャージ記号線202をローレベルとす る。この信号線7ローレベルとすると、ディジット線パ ランスプリチャージ回路200が非動作状態となる。次

30 ランスプリチャージ回路200が非動作状態となる。次 に、ま記憶行デコーダ112によって主定電部101内 に設けられた主記憶メモリセル110のある行が活性化 され、拠りに示したようにワード線172が主記憶部昇 圧電簧のレベルV11に設定される。

【0052】ワード線172がハイレベルとなると、メ モリセル173に記憶された信号がディジット線を介し てディジット線バランスプリチャージ開発200に入力 される。そして、センスアンプ部制御周路138はセン スアンプエントロール線208のレベルを主記監修電缆 40 レベルV1に設定するとともに、センスアンプコントロ ール線210のレベルを接触レベル0に設定する。

【の053】センスアンプコントロール線208のレベルが主送館部鑑案レベルV1に認定され、且つセンスアンプコントロール線21ののレベルが適地レベルの伝設 定されると、センスアンプ特殊点対217間の電位派を徐々に大となり、ディジット線号170間の電位派を徐々に大となる。この状態で転送コマンド(PFC)が入りされると、センスアンプ海彩野郷月38がセンスアンプ海域が開発188がセスアンプ電気送スイッチ信号204の電圧レベルを主記線等電源レ

りがオン状態となり、センスアンプ内接点料217に保 持されていた信号がデータ転送パス線対176に出力さ れる。ここで、注目すべきことは、センスアンプ部転送 スイッチ信号線204の電圧レベルが主記線電源レベル V1に操作されていることである。

【0054】これは、前述のように、センスアンプ回路 174からデータ転送パス締約176にデータを転送す る場合にセンスアンプ部転送スイッチ信号として主記憶 部署狂審線を与えるとデータ転送パス線対176の方が センスアンプ回路174内のハイ朝接点レベルより低く 10 データは源記憶行コントロール借号線252、254の 設定しているためデータ転送パス線対176のレベルに 引かれてセンスアンプ問路174内のハイ捌接点レベル が低下し、センスアンプ回路274からデータ転送パス 線対176へのデータ転送能力が低下してしまうのを防 止するためである。

【0055】センスアンプ制類回路138がセンスアン プ部転送スイッチ信号線204の衛圧レベルを主記憶等 源レベルV 1 に設定すると同時に、データ転送パス線制 御回路140はデータ転送バス総制御信号線190のレ ベルをローレベルとしてデータ転送パス線プリチャージ 20 ランスプリチャージ信号線202がハイレベルとなる。 回路152を非動作状態とする。センスアンプ回路17 4からデータ転送バス線製176へ出力された信号は網 記憶メモリセル182へ入力される。

【0056】また、上記センスアンプ編御的終138が センスアンプ部紀送スイッチ信号線204の電圧レベル を主記憶電源レベルVIに設定してから僅かに遅れて副 **記憶部制御回路142は副記憶メモリセル行コントロー** ル綴り50を接地レベルのとしてPMOSトランジスタ 256,258からなるフリップフロップを非動作状態 4を網記憶郷灘源レベルV2としてNMOSトランジス タ260、262からなるフリップフロップを非動作状 態にする。

【0057】 海場/傍部御御四路142が測定億メモリセ ル行コントロール線252を接地レベル0にし、目つ網 記憶メモリセル行コントロール線254を顕記憶部電源 レベルV2にしてから僅かに遅れてデータ転送用網記憶 行選択線を主記憶部界任電源のレベルV 1 に設定して NMOSトランジスタ264a、2646からなる接続 をメモリセル182両に取り込む。ここで、主影蛟部1 0.1から転送されてきたデータを取り込む数にデータ転 送用潮記憶行選択線を主記機部昇圧滑源のレベルV11 とするのはデータ転送バス線のレベルに対してデータを メモリセル182内に取り込むためのNMOSトランジ スタ264a 264ものゲート電板に対して適当た器 圧レベルを得るためてある。

【0058】また、データを取り込む場合、データ転送 パス線176は主記憶部161の溶液電圧以下の微少差 電位のため、メモリセル182内のトランジスタ25

6、258、260、262が完全にオフする状態にし て取り込み、その後で増縮する必要がある。本実施形態 においては、メモリセル182内に設けられたトランジ スタ256、258、260、262のソース密症を納 御する副記憶メモリセル行コントロール線252、25 4の徹位を図9に示したように、それぞれ接地電位0及 び副記憶部常源レベルV2にすることにより非響面状態 としてからデータ転送バス線対176上の信号を取り込 むようにしている。メモリセル182内に取り込まれた レベルをそれぞれ網記憶部電源レベルV2、被地レベル 0にすることで保持される。

【0059】以上の動作によって転送動作が終了する。 転送終了後データ転送パス線制御信号線190のレベル は主影懷部昇圧電源のレベルV1 となりデータ転送バ ス線がプリチャージされる。鯵いてプリチャージコマン ド(PRE)が入力されるとワード線172がローレベ ルに設定され、センスアンプコントロール線208、2 10が中間電位1/2V1に設定され、ディジット線バ

尚、ここで注目すべきことは、転送動作が完了し、非転 災状態となるとデータ転送パス線対176は主部輸配の 常額電圧以下の中間滑位にプリチャージされる点で、こ のような値に設定することによりデータ転送用額記憶行 選択線の昇圧レベルを緩和することができる。 【0060】 「副記憶部102から主記憶部101への

データ転送 図10は、本発明の第1実施形態による半 磁体集積回路経過における銀料機能102から主影機能 101ヘデータ転送を行う際の動作を示すタイミングチ にするとともに翻記憶メモリセル行コントロール線25 30 ヤートである。黄、関10中においては、探りと脚様に 主記憶部電源のレベルをV1、主記憶部昇圧電源のレベ ルをV1′、中間電位のレベルを1/2V1、データ転 送パス線のプリチャージレベルをVP、副記憶部電源レ ベルをV2、及び接地レベルをOとしてそれぞれ表して いる。

[0061] 図10では、図1~図7に示された各部号 線上を伝わる信号を図示している。まず、RST、AC 丁の連続コマンドによる転送命令がコマンドデコーダ1 3.2に入力されたとすると、データ転送パス線細線回路 **飼路を副状態とし、データ転送バス線対176上の信号 40 Ⅰ40がデータバス線測御信号線190のレベルを主記** 管部発圧電源のレベルV1'からローレベルに設定し、 プリチャージ问路178を非動作状態とする。紛いて刷 記憶部細線回路142がデータ転送用測記憶行選択線2 50を主記憶電源レベルV1とする。

> 【0 0 6 2】 ここで、報送:66 部制銀回路 1 4 2 がデータ 転送用部即接行選根線250を主記機増進しベルVIと するのは、部に検索102に供給される需源電圧が高速 動作の要求から主記憶部101の電源電圧よりも高い電 圧であるため湖記憶メモリセル120から主記憶部10 50 1のセンスアンプ回路174にデータを転送する場合。

データ転送用測記憶行選択線250上に主記憶部界圧電 級のレベルを与えるとデータ転送バス線対176の電圧 レベルが主記憶部電源のレベルより高い電圧に充電され てしまうおそれがあるのを防止するためである。

【0063】データ転送用源配機行選把線250が主紀 **賃電源レベルV1に設定されると、接続回路を構成する** NMOSトランジスタ264a、284bがオン状態と なりPMOSトランジスタ256、258及びNMOS トランジスタ260、262からなるフリップフロップ 国路に記憶されている信号がデータ転送パス線対176 へ用力される。

【0064】続いて、センスアンプ部制御四路+38が ディジット線パランスプリチャージ信号線202のレベ ルをローレベルとし、ディジット線パランスプリチャー ジ回路200を非動作状態とする。また、センスアンプ 部制総回路138はセンスアンプコントロール線208 のレベルを中間激位1/2 V 1 から接地レベル 0 に設定 するとともに、センスアンプコントロール線210のレ ベルを中間環位1/2 V 1 から主記憶電源レベルV 1 に 約常する.

【0065】センスアンプコントロール線208のレベ ルが接地レベル 0 に設定され、且つセンスアンプコント ロール線210のレベルが主記輸電源レベルV1に設定 されると、主記様デコーダ112はワード線172のレ ベルを主記憶部昇圧電源レベルV1′に設定する。そし て、センスアンプ部制御回路138はセンスアンプ部転 送スイッチ信号線204のレベルを主記憶態興圧電源レ ベルV 1 に設定してNMOSトランジスタク18. 2 20からなる接続回路を開状態にしてデータ転送バス線 対176からデータをセンスアンプ回路174内に取り はない

【0066】ここで、センスアンプ部転送スイッチ信号 線204のレベルを主記憶部昇圧電源レベルV1'とす るのはデータ転送パス線のレベルに対してデータをセン スアンプ回路174内に取り込むためのNMOSトラン ジスタ218、220のゲート電極に対して適当な界圧 レベルを与える必要があるからである。尚、本実施形態 においては、センスアンプ回路174内に設けられたト ランジスタ210、212、214、216のソース電 圧を制御するセンスアンプコントロール線208、21 ()の電位を制御してこれらを非線道状態としてからデー タ転送バス線針176上の信号を取り込むようにしてい

【0067】センスアンプ回路174がデータを取り込 むと商記憶が網練回路142はデータ転送用商記憶行選 祝郷250のレベルをローレベルとして、データ転送バ ス級対176とメモリセル182内部のフリップフロッ プ回路とを電気的に遮断する。その後、センスアンプ部 海側同路138はセンスアンプコントロール総208の レベルを主記憶電源レベルV1に設定し、センスアンプ 50 次に、主記憶行デコーダ112によって主記憶部101

コントロール線210のレベルをローレベルに設定す る。そして、センスアンプ部制御回路138がセンスア ンプ部転送スイッチ信号線204のレベルをローレベル としてセンスアンプ回路174をデータ転送パス線対1 7.6から戦気的に遮断する。次に、データ标送パス線制 御回路140がデータ転送バス練制御信号線190のレ ベルを主記憶総昇圧繁挺レベルV 1 'に設定する。以上 の動作によって転送動作が終了する。

- 【0068】この状態で、センスアンプ回路174に取 10 り込まれた俗号はPMOSトランジスタ210.212 からなるプリップフロップ及びNMOSトランジスタク 14、216からなるフリップフロップによって増幅さ れ、隣10に示したように、センスアンプ内接点対21 7間の電位差は大となり、ディジット線対170間の電 位差も徐々に大となる。ディジット総対170のデータ は主記憶メモリセル110に取り込まれる。続いてプリ チャージコマンド (PRE) が入力されると主記憶行デ コーダ112がワード線172をローレベルにするとと もに、センスアンプ部制御回路138がセンスアンプコ
- 20 ントロール線208のレベル及びセンスアンプコントロ ール線210のレベルを中間電位中間電位レベル1/2 V1に設定する。センスアンプ部制御回路138はディ ジット線パランスプリチャージ信号線202をハイレベ ルとしてディジット線パランスプリチャージ回路200 を動作状態とすると転送動作が完了する。

【0069】 (主記憶部101から副記憶部102への) データ転送の高速化) 図9を参照して説明した主記條部 101から副記憶部102へのデータ転送においては、 ディジット線増幅動作期間とデータ転送動作期間とが重

複しているため、データ転送が遅れがちである。次に、 主記憶郷101から測記憶郷102へのデータ転送の高 遠化を図った本発明の第1実施形態による半線体集務回 路装置の動作について説明する。

【0070】図11は、本発明の第1実施形像による半 導体集積回路装置おける主記憶部101から副記憶部1 02ヘデータ転送の高速化を関った場合の動作を示すタ イミングチャートである。尚、閏11中においては、主 記憶部電源のレベルをVI、主記憶部界圧電源のレベル をVI'。中間離位のレベルを1/2VI、データを決 40 バス線のプリチャージレベルをVP、測記憶部電源レベ ルをV2、及び接頭レベルをOとしてそれぞれ表してい

【0071】図11では、図1~図7に示された各信号 線上を伝わる信号を関示している。まず、アクティブコ マンド (ACT) がコマンドデコーダ132に入力され たとすると センスアンプ部制御局路138かディジッ ト線パランスプリチャージ信号線202をローレベルと する。この信号線がローレベルとなると、ディジット線 バランスプリチャージ回路200が非動作状態となる。

内に設けられた主記憶メモリセル110のある行が活性 化され、図9に示したようにワード線172が主記憶部 昇圧電源のレベルVI'に設定される。

【0072】ワード級172がハイレベルとなるとメモ リセル173に影像された低号がディジット線に読み出 される。そして、センスアンプ部制御回路138はセン スアンプコントロール線208のレベルを主記線部電源 レベルV」に設定するとともに、センスアンプコントロ ール綴210のレベルを接地レベル0に設定する。ここ で、注意すべきことは、センスアンプコントロール線2 08のレベルが主記憶器電源レベルV 1 に設定され、且 つセンスアンプコントロール線210のレベルが接地レ ベル0に設定されると、センスアンプ部制御回路138 はディジット線トランスファースイッチ信号線206の レベルをローレベルとし、NMOSトランジスタ22 2、224をオフ状態にし、センスアンプ回路174を ディジット線対170から電気的に切り離す動作を行

【0073】センスアンプコントロール線208のレベ ルが主記憶部鑑賞レベルVIに粉定され、目つセンスア ンプコントロール線210のレベルが接地レベル0に設 定されると、センスアンプ内接点対217間の電位差は 大となり、ディジット総対170間の衛位終も係々に大 となる。このとき、センスアンプ网路174がディジッ ト線対170から電気的に切り離されているので、ディ ジット線対170の増幅は行われないため接端電源線の インピーダンスに対する負荷が到9に示した場合より小 さくなるため、より尽くデータ転送バス線料17日から の放電が行われ、必要な差電圧が得られるまでの時間が 短縮される。

【0074】 転送コマンド (PFC) が入力され、セン スアンプ部制御網路138がセンスアンプ部転送スイッ チ信号線204の電圧レベルを主記憶電源レベルV1に 設定するとNMOSトランジスタ218、220がオン 状態となり、センスアンプ内接点対217に保持されて いた信号がデータ転送パス線対176に出力される。こ こで、注目すべきことは、センスアンプ部転送スイッチ 信号線204の電圧レベルが主記憶電源レベルV1に設 室されていることである。

174からデータ転送バス総対176にデータを転送す る場合にセンスアンプ部転送スイッチ候母として主記鏡 部容圧電源を与えるとデータ転送パス線対176の方が センスアンプ回路174内のハイ側接点レベルより低く 設定しているためデータ転送パス線対176のレベルに 引かれてセンスアンプ回路174均のハイ保修占しベル が低下し、センスアンプ回路クテルからデータ転送バス 線対176へのデータ転送能力が低下してしまうのを防 止するためである。

【0076】センスアンプ制御回路138がセンスアン 50 にするとともに、ディジット線トランスファースイッチ

プ部転送スイッチ信号線204の電圧レベルを主記修律 源レベルV」に設定すると同時に、データ転送バス線制 御回路140はデータ転送パス線制御信号線190のレ ベルをローレベルとしてデータ転送パス線プリチャージ 阿路152を非動作状態とする、センスアンプ回路17 4からデータ転送バス線対176へ出力された信号はメ モリセル182へ入力される。

【0077】また、上記センスアンプ朝御回路138が センスアンプ部配送スイッチ信号線204の電圧レベル 10 を主記憶電源レベルVIに設定してから僅かに遅れて湖 記憶部制御囲路142は副記憶メモリセル行コントロー ル線252を接地レベル0としてPMOSトランジスタ 256,258からなるフリップフロップを非動作状態 にするとともに制配像メモリセル行コントロール線25 4を認定競総審談レベルV2としてNMOSトランジス タ260、262からなるフリップフロップを非動作状 様にする。

【0078】網記憶器網翻回路142が網記憶メモリセ ル行コントロール線252を接地レベル0にし、貝つ副 20 記憶メモリセル行コントロール総254を勘記憶部継續 レベルV2にしてから僅かに遅れてデータ転送用網記憶 行選択線を主記憶部昇圧電源のレベルV1'に設定して NMOSトランジスタ264a. 264bからなる接続 顧路を開状態とし、データ転送バス線対176上の信号 をメモリセル182内に取り込む。ここで、主記憶部1 0 1 から転送されてきたデータを取り込む際にデータ転 送用副記憶行選択線を主記憶部昇圧電源のレベルV1' とするのはデータ転送パス線のレベルに対してデータを メモリセル182内に取り込むためのNMOSトランジ 30 スタ264a, 264bのゲート電標に対して適当な料 圧レベルを得るためである。

【0079】また、データを取り込む場合、データ転送 バス線176は主記憶部101の電源電圧以下の微少差 報位のため、メモリセル182内のトランジスタ25 6、258,260,262が完全にオフする状態にし て取り込み、その後で増縮する必要がある。本実施形態 においては、メモリセル182内に設けられたトランジ スタ256、258、260、262のソース電圧を制 鍵する源記憶メモリセル行コントロール線252,25 【0075】これは、前述のように、センスアンプ回路 40 4の電位を幽りに示したように、それぞれ接地電位の及 び副記憶部器製レベルV2にすることにより非弊運状態 としてからデータ転送バス練舞176上の信号を取り込 むようにしている。メモリセル182内に取り込まれた。 データは網胎號行コントロール信号線252、254の レベルをそれぞれ測記・協部電源レベルV2、接地レベル のにすることで保持される。

> 【0080】以上の動作によって伝送動作が終了する。 転送動作が終了するとセンスアンプ部制御商路138は センスアンプ部転送スイッチ信号線20 4をローレベル

領号206をハイレベルとしディジット線対170の増 縮動作を行う。続いて、プリチャージコマンド (PR E) が入力されるとワード線172がローレベルに設定 され、センスアンプコントロール線208、210が中 囲電位1/2V1に器定され、ディジット線バランスプ リチャージ信号線202がハイレベルとなると転送動作 が完了する。遊、複数セグメントを有する場合には、す べてのセグメントに属するディジット線対の増報動作を 転送動作の終了後に行うようにしてもよい。

基づいて、本発明の第1実施形態による半導体集積回路 装置について認明した。上紀の実施形態はあくまでも理 解を容易にするためのものであり、本発明は上記事権形 鎌に制限されない。

【0082】例えば、図12に示す動作も可能である。 図12は、本発明の第1実施形態による半導体集精回路 装置おける主記憶部101から副記憶部102ヘデータ 転送の他の動作例を示すタイミングチャートである。図 12に示したタイミングチャートと図11に示したタイ コマンド (PFC) が入力された場合にディジット線ト ランスファースイッチ部号線206のレベルをローレベ ルとしてディジット線対170の増幅動作を一路中断し てデータ転送を行うようにした点である。転送動作を終 了した後にディジット線トランスファースイッチ信号線 206のレベルをハイレベルとしてディジット線対17 0の増報動作を行う点については図11と同様である。 【0083】図11に深したタイミングチャートでは、 アクティブコマンド (ACT) が入力されてからセンス アンプ活性化を含む…準の動作中にディジット線トラン 30 スファースイッチ信号線206をローレベルにしてセン スアンプ内核点封217をある程度のレベルまで増幅す る。この状態で転送コマンド (PPC) が入力されると 転送動作が開始する。そして、転送動作が終了した後に 再びディジット線トランスファースイッチ信号線206 のレベルをハイレベルとしてディジット線料170の増 幅を行っている。かかる動作を行う場合には転送コマン ド (PFC) が入力されるまで、ディジット線対170 がセンスアンプ回路174から密等的に切り継された状 ので、転送コマンド(PFC)が入力するタイミングが 遅い場合には、アクティブコマンド (ACT) が入力さ れてからプリチャージコマンド (PRE) が入力される までの時間に無駄が生ずる。

【0084】図12に示したタイミングチャートの動作 を行った場合には、転送コマンド (PFC) が入力され スタイミングによってはデータ転送動作を開始する前に ディジット線対170の勝郷動作を行うことができる場 合があるので、転送コマンド (PFC) が入力するタイ ミングが遅い場合には、アクティブコマンド(A.C.T) 50 大するだけでよい。すなわち、データ紀述バス線対17

が入力されてからプリチャージコマンド(PRE)が人 力されるまでの時間をより有効に用いることができる。 【0085】また、図13に示す動作も可能である。図 13は、本発明の第1実施形態による単導体集結前路等 置おける主記憶部101から副記憶部102ヘデータ伝 送の他の動作例を示すタイミングチャートである。関1 3に示したタイミングチャートと図11に示したタイミ ングチャートはほぼ阿様であるが、第13に示したタイ ミングチャートにおいては、動作開始命令たるアクティ

【0081】以上、隣2に崇した職略化したモデル図に 10 プコマンド (ACT) と転送動作命令たる転送コマンド (PFC) とを1コマンドとしている。アクティブコマ ンド(ACT)と転送コマンド(PFC)とを1コマン ドとすることで、アクティブコマンド(ACT)か入力 されてからデータ転送動作が終了するまでを内部的に最 適なタイミングに約定して動作させることができるため より有効に時間を使うことができ、その結果動作経波数 (CLRの階級数)を上げた場合に極めて好適である。 【0086】〈第2実施形態〉 本発明の第2実施形態に よる半導体集積回路装置の基本構成及びそのプロック図 ミングチャートが異なる主な点は、図12において転送 20 は図1に示した第1実施形態による半導体集縮回路の結 本構成及びそのプロック図と基本的には同一である。本 発明の第2室施形線による半導体集緒同路が木谷間の第 1 宇飾形態による半導体集種同路と程なる点は、主か絵 部101の行が複数の行に分割されている点である。以 下。主記憶部101が複数の行に分割された構成を複数 のセグメントに分割された構成と称する。

【9087】(1)モデル関

次に、本発明の第2実施形態において、主記憶メモリセ ル110と翻記憶メモリセル120との間で行われるデ 一タ転送について説明する。図14は、図1中の主記額 メモリセル110と測記憶メモリセル120との第2実 藤形態による梅崎関係を御略化して示した図である。 路、図14では測記憶部102のメモリセル列と1つに 対して、主記提部101のセンスアンプ回路2つを対応 させている。しかし、本発明は関14に示した構成に限 定される訳ではなく、例えば主記憶部101の隣接する 複数台のセンスアンプ四路に対して1つの御記憶部メモ リセル列が対応している構成(複数セグメント)であっ ても良い。

纏のまま転送動作が終了するまで待っている状態となる 40 【0088】本実施形態において、複数セグメントに分 割する理由は、データ転送バス線150を主記憶センス アンプ回路300内の各々のセンスアンプ回路に対応さ せて設けると、メモリセルアレイ上のデータ転送パス線 150のレイアウトピッチが狭くなり、製造が困難とな るため、データ転送パス線150の配線ピッチを緩和す るためである。セグメントの物は2叉は4が好ました。 セグメントに分割することにより、例えば、主記憶メモ リ説110の規模が増大した場合、例えば2倍、4般に 増大した場合でも、セグメントの分割数を2又は4に増

6の対の数、データ転送バス線プリチャージ回路15 2、及び副記録メモリセル120の規模を大きくする必

【0089】以下、撚14に示したモデル拗について詳 細に説明する。図14において、110は主記憶メモリ セルであり、ディジット線対170a。170bと主記 修行デコーダ112に接続されたワード線172とが線 数交差して配置されており、その交点にはメモリセル1 73a. 173bが形成されている。尚、図14に示さ モリセル110とを比較すると、メモリセル及びディジ ット線に付されている符号が異なる。これは、メモリセ ルルびディジット線が遅なるセグメントに握するという 説明を行う便宜のためであり、構成自体が異なる訳では ない、ただし、データ転送パス線150の本数が図2の 場合と同様ならば図14中の主記憶メモリセル110の **翠様は、図2に示した主記憶メモリセルの2倍となって** いる。本実施形態においては、セグメントの分割数が2 である場合を例に挙げて説明する。

【0090】ディジット線対170a、170bは主記 20 懲センスアンプ回路300内のセンスアンプ回路174 a、174bにそれぞれ接続されている。尚、閏14に 近した主記録センスアンプ回路300は基本的な構成に おいては、図2に示した主部酸センスアンプ回路114 と同一であるが、センスアンプ回路174aとセンスア ンプ回路174bとか複数のセグメントに分割され、同 一のデータ転送バス線対176に接続されている点にお いで異なる。

【0091】センスアンプ回路174a、174bは主 記憶メモリセル1 1 0内のディジット線対1 7 0 a、1 30 線対1 7 0 a 及びデータ転送パス線対1 7 6 ディジッ 70 bに対応して複数設けられている。高、ディジット 線170a, 170b、メモリセル173a, 173 b、及びセンスアンブ細路174a, 174bを符号 "a"、"b"を用いて区別しているが、これは、各々 が異なるセグメント(本実施形態においては2つのセグ メント構成を例として挙げている) に減することを意味 し、各々の構成が変わることを意味しない。尚、図14 において、詳細な関示は省略しているが、隣接するセン スアンプ回路は異なるセゲメントに駆している。

【0092】データ紀英パス線プリチャージ回路152 内には各データ転送バス線対176に対応してプリチャ ージ回路152か設けられている。このプリチャージ網 器178もデータ転送パス締封176の数だけ設けられ ている。例記憶メモリセル120は、図14に示したよ うに、複数の創記憶メモリセル行180からなり、各々 の無影権メモリセル行180にはデータ転送パス線対1 7.6に対応してメギリセル18.2が激けられている。 尚、上述したように。図14はあくまでも本実施形態の 理解を容易にするために衝略化して記載した間であるこ

パス線プリチャージ回路152及び測記憶メモリセル行 180の内部構成については、第1実施形態と同様であ るので説明を省略する。また、本実施形態においても、 図1に示したデータ転パス線プリチャージ電源開路15 4が欲けられている。

【0093】 次に、 図14に示した主記簿センスアンプ 回路300の内部構成について詳細に影明する。 〔主記憶センスアンプ回路300〕関15は、主記憶セ

ンスアンプ回路300の構成等を示す図であり、図1又 れた主記憶メモリセル110と図2に示された主記憶メ 10 は図14に示された都材と同一部材については同一の符 号を付してある。尚、図5に示した第1実施形態の主記 憶センスアンプ回路114では、ディジット線パランス プリチャージ回路200をセンスアンブ回路174年の 構成として説明しているが、本実施形態では、ディジッ ト綴パランスプリチャージ回路がセンスアンプ回路内に 設けられている場合について説明する。図15に示され たように、ディジット線対170aにはセンスアンプ回 路174 aが設けられ、ディジット線対170 bにはセ ンスアンプ回路174bが設けられている。ディジット 線料170a及びセンスアンプ回路174aとディジッ ト線対170b及びセンスアンプ回路174bとは、異 なるセグメントに属する。

【0094】センスアンプ回路174a、174bに は、NMOSトランジスタ310、312、314から なるディジット線パランスプリチャージ網路及びフリッ プフロップ回路が設けられている。このフリップフロッ プ回路はPMOSトランジスタ210, 212及びNM OSトランジスタ214、216で構成される。更に、 センスアンプ回路174a.174bには、ディジット

ト線対170b及びデータ転送パス線対176をそれぞ れ接続する接続開路が設けられている。この接続開路 は、NMO Sトランジスタ218、220によって構成 される。ディジット線対170a、170b各々に設け られたNMOSトランジスタ222、224はセンスア ンプ回路174a、174bをディジット線対170 a、170bそれぞれから切り継すために設けられるス イッチ用のトランジスタである。

【0095】また。センスアンプ部制御刷路302は、 40 図5中のセンスアンプ部制御網路138に相当する部村 であるが、本実施形態においては2つのセグメントに分 細しているため動作が異なる。関15中のセンスアンプ 部制御回路302と図5中のセンスアンプ部制御回路1 38との主な相違点は、データ転送時において、センス アンプ回路174 a か綴するセグメント (以下、第1セ ダメントと称する) 又はセンスアンプ向路 17 4 5 が遠 するセグメント(以下、第2セグメントと称する)の何 れか一方のセグメント内のセンスアンプ回路をデータ転 送バス線対176にデータ転送可能なように接続する点 とに智能すべきである。尚、図14に示したデータ転送 50 である。つまり、データ転送を行う際には、第1セグメ

ント内のセンスアンプ回路と第2セグメント内のセンス アンプ回路とが同時にデータ転送バス線対176に接続 されることはない。

【0096】センスアンプ部制御扇路302には、セン スアンプ回路174a、174b内に設けられたディジ ット線バランスプリチャージ網路各々が接続されたディ ジャト線パランスプリチャージ信号線202a, 202 bが接続されている他、ディジット線トランスファース イッチ信号線206、センスアンプ部転送スイッチ信号 08a,208b、センスアンプコントロール線210 a, 210bが接続されている。

【0097】上紀ディジット線パランスプリチャージ信 号線202a、202bは、ディジット線バランスプリ チャージ回路におけるプリチャージレベルを網御する制 御信号をセンスアンプ部制線回路302からディジット 線パランスプリチャージ回路へ伝達するものであり、デ ィジット線トランスファースイッチ信号線206は、セ ンスアンブ回路 174a, 174bをディジット線対1 制御する制御信号をNMOSトランジスタ222、22 4へ伝達するためのものである。

【0098】また。センスアンプ部を淡スイッチ信号線 2048、204bは、センスアンプ回路174a、1 7.4 bにそれぞれ取り込まれ、センスアンプ内接点対2 17によってセンスアンプされた信号をデータ転送バス 綴対176に出力するか否か、又はデータ転送バス線対 176を介して転送される信号をセンスアンプ国際17 4 内部に取り込むか否かを制御する制御信号を伝達する ものである。

【0099】本実施形像における半導体集積回路装置 は、データ転送に関し、一度のデータ転送で1024ビ ットの単位で行われる。この場合、低消費電力を図るた めに信号のレベルを抑え、主記線部101に供給される 電源電圧の10%以下程度としている。このように、信 号のレベルが低いため、捌えば割14に示すセンスアン プ回路174a、174bに信号を取り込む際、データ バス転送バス線の初期電位を主記憶部101の電源電圧 とすると、センスアンプ総調御同路302からセンスア NMOSトランジスタ218、220によって構成され る接続問務へ供給されるセンスアンブ部転送スイッチ信 号のレベルはより高い電圧に設定する必要がある。従っ て、発圧レベルを緩和するために、データ転送バス線は 176の非転送時のプリチャージレベルを主記憶部の報 要選定以下の中間維持としている。 中間番荷としては個 えばす記憶部の微淡電圧の半分の値が用いられる。

【0100】また、この中間徹位は図4に示したデータ 転送パス線プリチャージ番源回路154へデータ転送パ ス線レベル基準電位を与えることによって生成されてお 50 ベルとなると、第1セグメントに属するセンスアンプ回

り、独立した電源から上記中間電位が生成されるので、 他の回路素子の動作による溶液溶圧の労働機会がデータ 転送バス線対176に影響を及ぼさないようにしてい Z5...

【0101】また、センスアンプコントロール線208 a, 208bは、PMOSトランジスタ210, 212 からなるフリップフロップの増縮率を制御する制御信号 を伝達するものであり、センスアンプコントロール線2

10a, 210bは、NMOSトランジスタ214, 2 線204a、204b、センスアンプコントロール線2 10 16からなるフリップフロップの坍塌率を削削する制御 信号を伝達するものである。

【0102】尚、上述したように、本実施形態において は、センスアンプ回路174aに対してセンスアンプコ ントロール線208a, 210a及びディジット線バラ ンスプリチャージ信号線202aを設け、センスアンプ 同路174 bに対してセンスアンプコントロール総20 8 b. 210 b 及びディジット線パランスプリチャージ 信号線202bを設け、第1セグメントに腐するセンス アンプ回路174aと第2セグメントに属するセンスア 70 a、170 b 各々から切り離すか又は接続するかを 20 ンプ回路174 b とを別個に制御している。これは、上 述したように、異なるセグメントに属するセンスアンプ 回路をデータ転送バス線対176に同時に接続しないよ う制御する必要があるためである。また、これ以外の理 由として、特に測記機能102から主記機能101ヘデ 一タを転送する時には、非転送状態となっているセグメ ントに属するセンスアンプ回路は主記憶メモリセル内の メモリセルに記憶されている信号を増幅する必要があ り、転送就能となっているセグメントに属するセンスア ンプ回路はデータ転送バス線によって転送されたデータ 30 を開始する必要があるからである。

【0103】(2)動作

次に、上記構成における本発明の第2事施形態による半 導体集務回路装置の動作について説明する。尚、主記憶 部継續のレベルをV1、主記憶部界圧電源のレベルをV 1'、中間電位のレベルを1/2V1、データ転送バス 線のプリチャージレベルをVP、副記憶部電源レベルを V2、及び接地レベルをOとして説明する。

【0104】〔主記憶部101から網記憶部102への データ転送) まず、アクティブコマンド (ACT) かコ ンプ部転送スイッチ侵場線204a, 204bを介して 40 マンドデコーダ132に入力されたとすると、センスア ンプ部制御研路302がディジット線パランスプリチャ ージ信号線202a、202bをローレベルとする。デ ィジット線パランスプリチャージ信号線202a、20 2 b を共にローレベルとするのは、メモリセル173 a 及びメモリセル173bの信号を共に増掘するためであ る。ただし、後端するように、データ伝送の際にはセン スアンプ回路 174a、174bの何れか一方のみがデ ータ転送パス線対176に接続される。ディジット級パ ランスプリチャージ信号線202a, 202bがローレ

路内のディジット線パランスプリチャージ回路が非動作 状態となる。次に、主記憶行デコーダ112によって主 記憶部101内に設けられた主記憶メモリセル110の ある行か活性化され、ワード線172が未記憶施算圧電 源のレベルV1′に設定される。

【0105】ワード級172がバイレベルとなると、メ モリセル173aに記憶された信号がディジット線対1 70 aを介してディジット線パランスプリチャージ回路 に入力される。そして、センスアンブ部制御回路302 はセンスアンプコントロール線208aのレベルを主記 10 懐部電源レベルVIに設定するとともに、センスアンプ コントロール線2 I O a のレベルを接地レベル O に設定 する.

【0106】センスアンプコントロール終208aのレ ベルが主記憶部電源レベルV1に設定され、目つセンス アンプコントロール線210トのレベルが接地レベル0 に設定されると、センスアンプ内接点対217間の電位 差は大となり、ディジット線対170a間の電位差も徐 々に大となる。この状態で転送コマンド (PFC) が入 力されると、センスアンプ部制御回路302がセンスア 20 スタ264a、264bのゲート常郷に対して適当な罪 ンプ部転送スイッチ信号204aの端圧レベルを主記憶 都電源レベルV1に設定し、NMOSトランジスタ21 8. 220がオン状態となり、センスアンプ内接点対2 17に保持されていた信号がデータ転送パス線対176 に出力される。ここで、注目すべきことは、センスアン プ部転送スイッチ信号線204の電圧レベルが主記憶電 源レベルV1に設定されていることである。

【0107】これは、前述のように、センスアンプ回路 174からデータ転送パス線対176にデータを転送す る場合にセンスアンブ部転送スイッチ債号として主記輸 30 4の報信を、それぞれ接触報信 0及び維新権部領部レベ 部昇圧電源を与えるとデータ転送パス線対176の方が センスアンプ回路174内のハイ無接点レベルより低く 設定しているためデータ転送バス線封176のレベルに 引かれてセンスアンプ四路174内のハイ篠接点レベル が低下し、センスアンプ回路274からデータ転送パス 線対176へのデータ転送能力が低下してしまうのを防 止するためである。このようにして、第1セグメントに 置するセンスアンプ制路がデータ転送バス線対176に 接続され、データの転送が行われる。

プ部転送スイッチ信号線204aの第圧レベルを主記憶 電流レベルV1に設定すると同時に、データ転送パス線 制御回路140はデータ転送パス線制御信号線190の レベルをローレベルとしてデータ転送バス線プリチャー ジ回路 1 5 2 を非動作状態とする。センスアンプ回路 1 7 まっからデータ転送バス線は176へ出力された循弩 は翻記憶メモリセル182へ入力される。

【0109】また、上記センスアンプ制御回路302が センスアンプ部転送スイッチ信号線204aの電圧レベ ルを主記修道器レベルV1に設定してから僅かに遅れて 50 る。

制記憶部制御回路142は測記憶メモリセル行コントロ ール線252を接地レベル0としてPMOSトランジス タ256、258からなるフリップフロップを非動作状 線にするとともに顕影像メモリセル行コントロール酸2 5.4を銀線機能器緩レベルV2としてNMOSトランジ スタ260、262からなるフリップフロップを非動作 状態にする。

【0110】測記憶部制御問路142が御記憶メモリセ ル行コントロール線252を接地レベル0にし、且つ淵 記憶メモリセル行コントロール線254を翻記憶部電源 レベルVクにしてから僅かに認れてデータ転送用線記憶 行選択線を主記憶部界圧電源のレベルV 1'に設定して NMOSトランジスタ264a, 264bからなる接続 国路を開状線とし、データ転送バス線対176上の信号 をメモリセル182内に取り込む。ここで、主記像部1 0.1から転送されてきたデータを取り込む際にデータ転 送用網影憶行選択線を主記機部昇圧電源のレベルV1' とするのはデータ転送パス線のレベルに対してデータを メモリセル182内に取り込むためのNMOSトランジ

圧レベルを得るためである。 【0111】また、データを取り込む場合、データ転送 パス線176は主紀缭紀101の電源常圧以下の微少差 徽位のため。メモリセル182内のトランジスタ25 6, 258, 260, 262が完全にオフする状態にし て取り込み、その後で増幅する必要がある。本実施形態 においては、メモリセル182内に設けられたトランジ スタ256、258、260、262のソース電圧を制 御する創記憶メモリセル行コントロール線252、25

ルV2にすることにより非導通状態としてからデータ転 送パス線対176上の信号を取り込むようにしている。 メモリセル182内に取り込まれたデータは副記憶行コ ントロール信号線252,254のレベルをそれぞれ劇 記憶部継瀬レベルV2、接地レベルのにすることで保持 される。

【0112】以上の動作によって転送動作が終了する。 転送終了後データ転送パス線制御信号線190のレベル は主記憶部界圧響源のレベルV1'となりデータ転送パ 【0108】センスアンプ制御回路302かセンスアン 40 ス線がプリチャージされる。続いてプリチャージコマン ド(PRE)が入力されるとワード線172がローレベ ルに設定され、センスアンプコントロール総208.2 10が中間常位1/2V1に設定され、ディジット線バ ランスプリチャージ信号線202a、202bがハイレ ベルとなる。滝。ここで注目すべきことは、転送動作が 空でし、非転送状態とたるとデータ転送パス設計176 は主影物館の需要器圧は下の中間電荷にプリチャージさ れる点で、このような顔に設定することによりデータ転 送用源記略行選択線の界圧レベルを緩和することができ

【0113】続いて、主記憶部101から顕記憶部10 2 ヘデータを転送する場合には、センスアンプ部制御回 路302がディジット線パランスプリチャージ信号線2 02b. センスアンプコントロール線208b. 210 b. センスアンプ部転送スイッチ質号線204bを介し て第2セグメントに属するセンスアンプ回路に制御信号 を出力して、第2セグメントに属するセンスアンプ回路 のみをデータ転送バス線料176に接続することによっ て、以上説明した動作と同様の動作を行ってデータ転送 を行う。

【0114】「測記憶器102から主記憶器101への データ転送)図16は、本発明の第2実施形態による半 漢体集縮回路装置における網沿憶部102から主沿標部 101ヘデータ転送を行う際の動作を示すタイミングチ セートである。前、図16中においては、図9と同様に 主記後部電源のレベルをVI、主記憶部専圧電源のレベ ルをV」、中間維位のレベルを1/2V」、データ転 送バス線のプリチャージレベルをVP、制配镜部電源レ ベルをV2、及び接地レベルをOとしてそれぞれ表して

【0115】図16では、図1、図14、図15に示さ れた各位号線上を伝わる信号を探示している。まず、R ST、ACTの運輸コマンドによる転送命令がコマンド デコーダ132に入力されたとすると、データ転送パス 線制御回路140がデータバス線制御信号線190のレ ベルを主記憶部昇圧電源のレベルV1'からローレベル に設定し、プリチャージ回路178を非動作状態とす る。緑いて創設物館期間回路142がデータ転送用網路 銀行選択網250を主記憶電源レベルV1とする。

転送用副記憶行選択線250を主記憶電源レベルVIと するのは、湖沿憶部102に供給される電源電圧が高速 動作の要求から主記憶部101の電源電圧よりも高い電 圧であるための記憶メモリセル120から主記憶部10 (のセンスアンプ回路)74にデータを転送する場合。 データ転送用酬記修行選択線250上に主記憶部算圧電 源のレベルを与えるとデータ転送バス線対176の電圧 レベルが主記憶部電源のレベルより高い電圧に充電され てしまうおそれがあるのを踏止するためである。

【0117】データ転送用額記憶行進択線250が主記 40 管事額レベルV1に設定されると、移続回路を構成する NMOSトランジスタ264a、264bがオン状態と なりPMOSトランジスタ256、258及びNMOS トランジスタ260、262からなるフリップフロップ 回路に記憶されている信号がデータ転送バス線対176 へ出わされる。

【0118】続いて、センスアンプ部制御回路302が ディジット線パランスプリチャージ循号線2026のレ ベルをローレベルとし、第2セゲメントに属するセンス ージ回路を非動作状態とする。一方、センスアンプ部制 鎖回路302は、ディジット線パランスプリチャージ信 号線202aのレベルをハイレベルに維持してパランス プリチャージを維持する。これは、転送状態にある第1 セグメント内のセンスアンブ同路174aにおいては、 メモリセル173aの信号を増幅しないため、また、逆 に隣接する非転送状態にある第2セグメントに属するセ ンスアンプ回路174bからの鎌音によってセンスアン プ内接点対に不必要な電位差が生じないようにするため

10 である。次に、主記総行デコーダ112がワード線17 2のレベルを主記権部器圧領施レベルV 1'に設定す 3.

【0119】以上の微定が終了すると、センスアンプ部 制御回路302は、ディジット線トランスファースイッ チ償号線206のレベルをローレベルとし、ディジット 線景170aと転送状態にある第1セグメントに属する センスアンプ回路174aとを、ディジット線対170 bと第2セグメントに属するセンスアンプ回路174b とをそれぞれ徴気的に分離する。これは、データ転送バ 20 ス線対176からみたセンスアンプ回路174aの負荷

を、ディジット線対170aとセンスアンプ回路174 aとを電気的に分離することで小さくしてデータの取り 込み時期の知縮を図るためである。また、センスアンプ 部制御回路302は、センスアンプ部コントロール線2 08 a のレベルを中間電位1/2 V 1 から接地レベル 0 に設定するとともに、センスアンプ部コントロール線2 10aのレベルを中間電位1/2V1から主記憶電源レ ベルVIに設定する。

【0120】更に、センスアンプ部制鋼同路302はセ 【0116】ここで、総給管部制額同路142がデータ 30 ンスアンブ部コントロール線208hのレベルを中間常 位1/2V1から主記憶電源レベルV1に設定するとと もに、センスアンプ部コントロール線2105のレベル を中間電位1/2V1から接地レベルOに設定する。セ ンスアンプ部制御回路302が、センスアンプ部コント ロール線2086のレベルを主記憶電流レベルVIに設 定するとともに、センスアンプ部コントロール線2 10 bのレベルを接地レベルOに設定するのは、第2セグメ ントは非転送状態に設定されるので、メモリセル173 bの信号を増幅する必要があるからである。

> 【0121】この状態においては、メモリセル173b の信辱が、非転送状態にあるセグメントに属するセンス アンプ回路1745において増細されている状態であ り、まだ転送状態にあるセグメントに崩するセンスアン プ回路174aには、細記能部102内のメモリセル1 82からのデータがデータ転送バス線対176を介して 取り込まれていたい.

【0122】このように、データ転送動作を行う前に、 非転送状態にあるセグメント内のセンスアンプ回路17 4 bにおいてメモリセル173bの信号を増縮するの アンプ回路 174 b内のディジット線バランスプリチャ 50 は、メモリセル 173 bの信号が極めて微層であるため ある。つまり、瀬記憶部102からセンスアンプ回路1 7 4 a にデータが転送される際及び増幅される際に発生 する解音が、非続淡状線にあるセグメントに握するセン スアンプ回路1746のメモリセル1736の信号の増 編動作に影響を与えないようにするためである。 【0123】非続送状態にあるセグメントに属するセン スアンプ回路174bがメモリセル173bの信号の増 棚を行っている途中で、湖泥憶部網御房路142がデー し、湖記鐵部102内のメモリセル182とデータ転送 バス線対176とを電気的に切り離す。続いて、非転送 状態にある第2セグメントに腐するセンスアンプ回路1 7 4 bによってある程度メモリセル173 bの信号が増 棚されると、センスアンプ部制御回路302はディジッ ト綴バランスプリチャージ信号線202aのレベルをロ ーレベルに設定して第1セグメントに崩するセンスアン プ回路内のディジット線バランスプリチャージ回路を非

動作状態にする。また、センスアンプ部制御回路302

ルを主記憶部昇圧電源レベルV1'に設定してNMOS

トランジスタ218,220からなる接続同路を開状態

にしてデータ転送パス総対176からデータをセンスア

ンプ回路174a内に取り込む。 【0124】ここで、センスアンプ部転送スイッチ信号 綴204のレベルを主記憶部昇圧電源レベルV1'とす るのはデータ転送パス線のレベルに対してデータをセン スアンプ同路174内に取り込むためのNMOSトラン ジスタ218、220のゲート電極に対して適当な発圧 レベルを与える必要があるからである。高、本事権所能 30 ば、主影輸館とキャッシュメモリとして機能する副影情 においては、センスアンプ回路174内に設けられたト ランジスタ210, 212, 214, 216のソース電 圧を制御するセンスアンプコントロール線208.21 0の電位を制御してこれらを非場所状態としてからデー タ転送パス線対 1 7 6 上の部号を取り込むようにしてい る。さらに、データ転送バス線対176からデータを取 り込む時点にむいて、ディジット線トランスファースイ ッチ部号線206のレベルはローレベルとなっており。 センスアンプ回路174aとディジット線対170aと が地気的に切り鍛されているので、無時間でデータ取り 40 て、センスアンブ飼養とデータ転送バス線を接続する接 込みが行える。

【0125】データの取り込みが終了すると、センスア ンプ部制制回路302は、センスアンプ部転送スイッチ 信号級204aのレベルをローレベルとし、転送状態に ある第1セグメントに属するセンスアンプ回路174a かデータ転送パス線対176から需要的に切り継ず、主 た、センスアンプ部制御回路302はセンスアンプコン トロール線208aのレベルを主記憶電源レベルV1に 設定し、センスアンプコントロール線210 aのレベル を接地レベル0に設定する。次に、データ転送パス線刷 50 であるという効果がある。

御回路140がテータ転送バス線制御信号線190のレ ベルを主記憶部界狂電源レベルV1'に設定する。以上 の動作によって転送動作が終了する。 【0126】この状態で、センスアンプ部制細胞路30

2は、ディジット線トランスファースイッチ借号線20

6のレベルをハイレベルとし、第1セグメントに属する センスアンプ回路174aとディジット線対170aと を、第2セグメントに属するセンスアンプ回路174b とディジット線対170bとをそれぞれ電気的に接続す タ転送用期記憶行選択線250のレベルをローレベルと 10 る。センスアンプ回路174aに取り込まれた信号はP MOSトランジスタ210、212からなるフリップフ ロップ及びNMOSトランジスタ214、216からな るフリップフロップによって増縮され、図16に示した ように、センスアンプ内接点対217間の電位差は火と なり、ディジット線対170 a間の電位差も徐々に大と なる。ディジット線対170aのデータは主記憶メモリ セル110に取り込まれる。続いてプリチャージコマン ド(PRE)が入力されると主記憶行デコーダー12が ワード線172をローレベルにするとともに、センスア は、センスアンブ部転送スイッチ側号線204aのレベ 20 ンプ部網節回路302がセンスアンプコントロール線2 08a、2086のレベル及びセンスアンプコントロー ル線210a、210bのレベルを中間電位中間電位レ ベル1/2V1に設定する。センスアンプ部制額回路3 02はディジット線パランスプリチャージ信号線202 a. 202bをハイレベルとしてディジット線バランス プリチャージ回路を動作状態とすると転送動作が完了す

[0127]

\$

【発明の効果】以上、説明したように、本発明によれ 部とを有し、前記主記憶部と前記測記憶部との間に設け られたデータ転送パス線を介して双方面のデータ転送が 可能なように構成された半導体集種回路装置であって、 非データ転送時に、前記主記後部に供給する電源電圧よ り低いレベルの端圧を輸記データ転送パス線に対して供 給する電源手段を備えたので、内部で発生するノイズを 有効に抑えながら安定的に動作することができるという 効果がある。また、主記憶部から測記憶部へのデータ板 深勝又は細胞檢測から主部機能へのデータ転送時におい **級回路及びメモリセルとデータ転送バス線を掩繞する線** 統回路に供給する電圧を変化するようにしたので異なる 動作業圧で動作する主制機器と認思機器とのデータ転送 を効率的に行うことができるという効果がある。更に、 センスアンプ回路内に取り込んだデータの暗傷動作と、 センスアンプ海路と確認す記憶部メモリセルとを電信的 に絶縁するタイミングを顕整したり、動作開始命令と転 送動作部始命令との入力タイミングを同一とすること で、動作環波数が高くなった場合であっても対応が可能 【関節の簡単な説明】

【既1】 太常明の第1事権形態による半導体沿権勢器 の全体の構成を機略的に示すプロック図である。

【図2】 図1中の主記憶メモリセル110と報記憶メ モリセル120との第1実施形能による接続関係を顕略 化して深した図である。

【図3】 データ転送ハス線プリチャージ段路152の 内部構成を示す際であり、例1又は図2に示した部材と 同一の部材については同一の符号が付してある。

の内部構成を正す例である。

【図5】 主記憶センスアンプ回路114の構成等を示 す例である。

【図6】 センスアンブ部制御回路138内に影けられ たセンスアンプ部転送スイッチ信号生成段路230の機 成を示す図である。

【関7】 副記憶メモリセル行180の内部構成等を示 す器である。

【図8】 副記憶部制御回路142内に設けられたデー 欠転送用無常操行機根線生成網路280の構成を示す数 20 101 である。

【図9】 本発明の第1事施形像による半線体集積同路 装置における主記憶器101から測器憶器102ヘデー タ転送を行う際の動作を示すタイミングチャートであ

【図10】 本発明の第1実施形態による半導体集積回 路装置における測記憶部102から主記憶部101ヘデ 一な転送を行う際の動作を呈すタイミングチャートである。 ă.,

【図11】 本発明の第1字施形像による半線体集静岡 30 210,212,256,258 路装置おける主命機器101から謝金幣部102ヘデー タ転送の高速化を図った場合の動作を示すタイミングチ ヤートである。

【図12】 本発明の第1実施形能による半線体集機同 路装置おける主記憶部101から測記憶部102ペデー タ転送の他の動作例を示すタイミングチャートである。

【四13】 本発明の第1実施形能による半導体集積回 路装置おける主記検部101から翻訳検密102ヘデー タ転送の他の動作網を示すタイミングチャートである。 【図14】 図1中の主記憶メモリセル110と湖沿镜 メモリセル120との第2字施形織による接続関係を簡 略化して示した図である。

【図15】 主記憶センスアンプ回路300の構成等を 赤す器である。

【図16】 本発明の第2実施形態による半導体集輪回 【図4】 データ転パス線プリチャージ電源回路154 10 路装置における副記憶部102から主記憶部101ヘデ ータ転送を行う際の動作を示すタイミングチャートであ 8.

> 【図17】 CDRAMのメモリアレイ部の構成の…例 を樹築的に京す図である。

> 【図18】 双方向転送ゲート回路9203の評額な機 成を示す図である。

【図19】 双方向転送ゲート回路9203の詳細な構 成を示す例である。

【符号の説明】

31.67代数(BE)

102 ADDATED AND

152 データ転送パス線プリチャージ電源回路(電 30:F(9)

176 データ転送バス線針

174 センスアンプ国路

150 データ転送バス線

センスアンプ 然制額iiii 図 138 182 メギリヤル

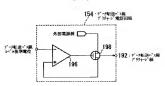
1.4.2 (BISPID/RINGBEIDIPS

PMOSトランジ スタ (トランジスタ)

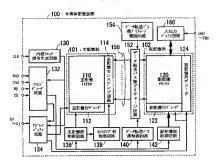
214, 216, 260, 262 NMOSトランジ スタ (トランジスタ)

222, 224 NMOSトランジスタ (スイッチ手 £9)

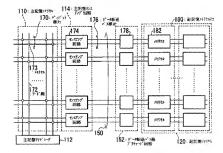
[841



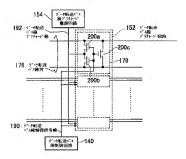
[[41]



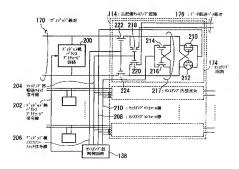
[182]



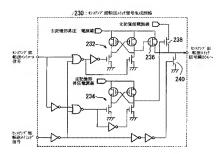
[[8]3]



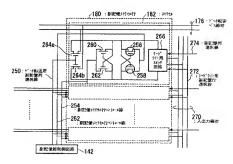
(M5)



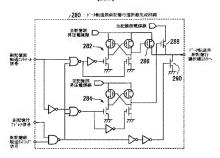
[246]



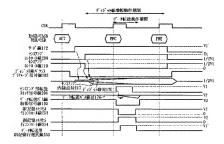
[397]



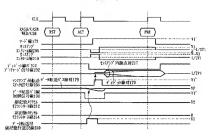
[88]



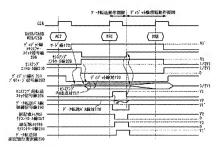
[18]9]



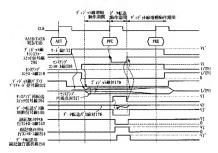




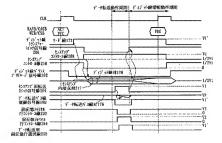
[811]



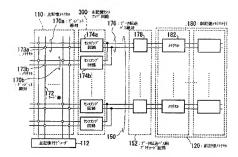
[[2] 12]



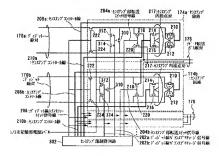
[8]13]



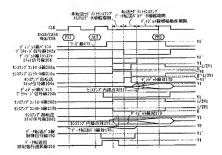
[[3] [4]

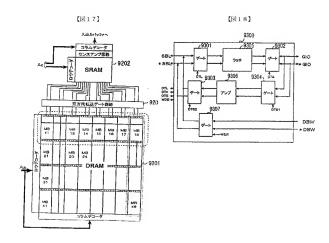


[8] 1 5]



[8] 16]





[[818]]

